

# ESP32-S31 系列芯片

## 技术规格书 预发布 v0.2

RISC-V 32 位双核微处理器

2.4 GHz Wi-Fi 6、Bluetooth® 5.4 (LE)、Bluetooth® Classic、Zigbee 及 Thread (802.15.4)

支持 flash 和 PSRAM 并行访问

60 个 GPIO

QFN80 (8 × 8 mm) 封装

### 包括:

ESP32-S31NRV16

ESP32-S31NRV32

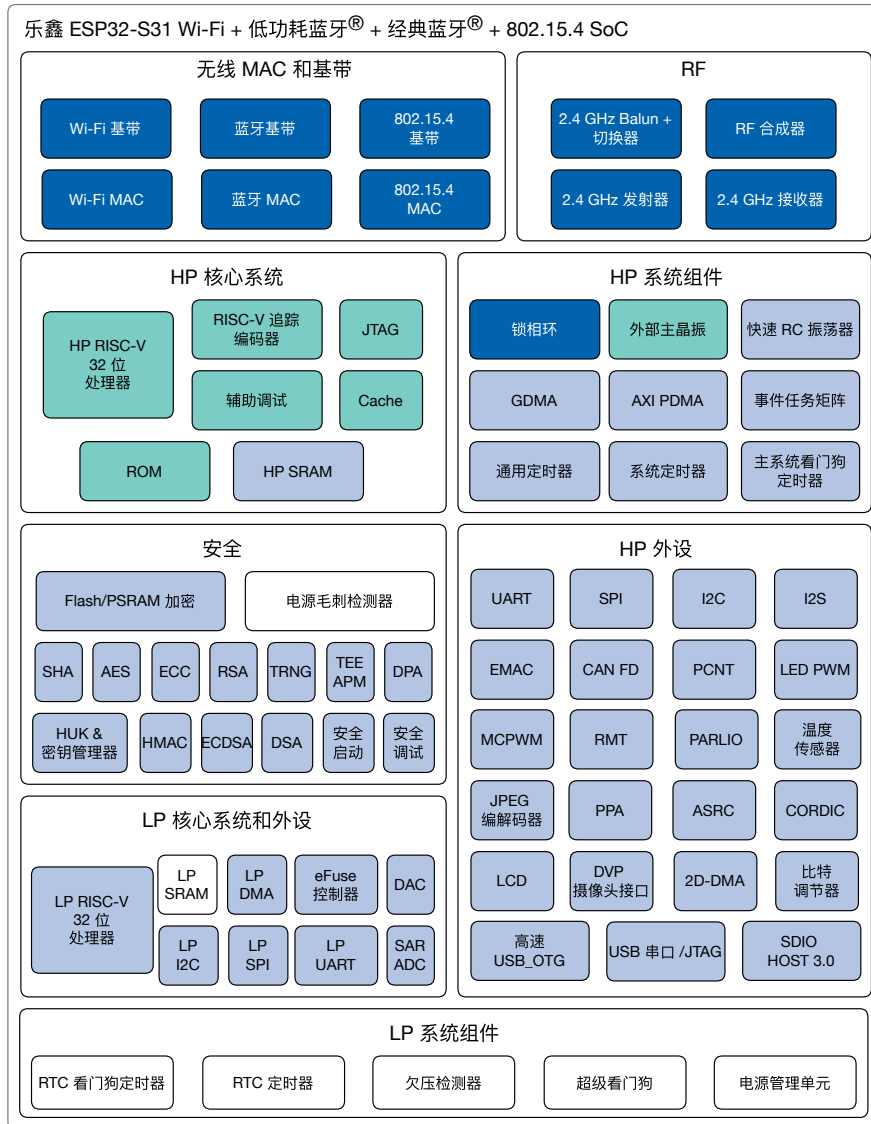


ESPRESSIF

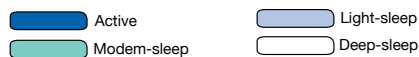
# 产品概述

ESP32-S31 是一款支持 2.4 GHz Wi-Fi 6、Bluetooth® 5.4 (LE)、Bluetooth® Classic、Zigbee 3.0 及 Thread 1.4 的系统级芯片 (SoC)，集成了一个高性能 (HP) RISC-V 32 位处理器和一个低功耗 (LP) RISC-V 32 位处理器，以及 Wi-Fi、蓝牙、802.15.4 基带和 MAC、RF 模块及外设等。该芯片专为需要高吞吐量无线传输和更高处理性能的应用而设计。

芯片的功能框图如下图所示。



模块始终保持通电的最低功耗模式：



ESP32-S31 功能框图

更多关于功耗的信息，请参考章节 4.1.4.6 电源管理单元。

# 产品特性

## Wi-Fi

- 工作在 2.4 GHz 频段, 1T1R
- 工作信道中心频率范围: 2412 ~ 2484 MHz
- 兼容 IEEE 802.11ax 协议:
  - 仅 20 MHz 非接入点工作模式 (20 MHz-only non-AP mode)
  - 上行、下行正交频分多址接入 (OFDMA), 提升拥挤环境下物联网应用的连接性和性能
  - 下行多用户多输入多输出 (MU-MIMO), 提升网络容量
  - 波束成形接收端 (Beamforming), 提升信号质量
  - 空间复用 (Spatial reuse), 最大化并行传输
  - 目标唤醒时间 (TWT), 优化节能机制
- 完全兼容 IEEE 802.11b/g/n 协议:
  - 支持 20 MHz 和 40 MHz 带宽
  - 数据速率高达 150 Mbps
  - 无线多媒体 (WMM)
  - 帧聚合 (TX/RX A-MPDU, TX/RX A-MSDU)
  - 立即块确认 (Immediate Block ACK)
  - 分片和重组 (fragmentation and defragmentation)
  - 传输机会 (transmission opportunity, TXOP)
  - Beacon 自动监测 (硬件 TSF)
  - 4 个虚拟 Wi-Fi 接口
  - 同时支持基础结构型网络 (Infrastructure BSS) Station 模式、SoftAP 模式、Station + SoftAP 模式和混杂模式  
请注意 ESP32-S31 在 Station 模式下扫描时, SoftAP 信道会同时改变
  - 天线分集
  - 802.11mc FTM

## 蓝牙

### 低功耗蓝牙

- 全面支持 Bluetooth 5.4 (LE) 核心规范
- Bluetooth Mesh 1.1
- 蓝牙低功耗音频 (LE Audio, Isochronous Channels, BIS and CIS)
- 基于到达角和出发角的蓝牙方向查找功能 (Direction Finding, AoA/AoD)

- 带回复的周期性广播 (Periodic Advertising with Responses, PAWR)
- 亚速率连接模式 (LE Connection Subrating)
- 功率控制 (LE Power Control)
- 速率支持 125 Kbps、500 Kbps、1 Mbps、2 Mbps
- 扩展广播以及多广播支持 (LE Advertising Extensions)
- 广播者/观察者/中央设备/外围设备多角色并发运行

## 经典蓝牙

- 数据速率：基本速率 1 Mbps，增强数据速率 2 Mbps、3 Mbps
- 异步连接导向 (ACL) 链路，同步连接导向 (SCO) 和增强同步连接导向 (eSCO) 链路
- 语音编码格式：A-law,  $\mu$ -law, CVSD 和透传数据
- 信道分类 (Channel Classification) 和自适应跳频 (AFH) 机制
- 传统功率控制和增强功率控制
- 安全简易配对 (SSP)
- 数据加密方式：EO 和 AES-CCM
- 安全连接 (Secure Connections)
- 嗅探 (Sniff) 模式和嗅探亚速率 (Sniff Subrating) 模式
- 角色切换
- 活跃外围设备广播 (Active Peripheral Broadcast)
- 多路连接和散射网 (Multiplexing, Scatternet)
  - 同一微微网 (Piconet) 最多支持 2 条同步链路
  - 作为中心设备时，同一微微网最多支持 7 条 ACL 链路
  - 最多可同时连接 3 个微微网 (1 个作为中心设备，2 个作为外围设备)
- 最大输出功率达到一类功率 (Power Class 1) 设备要求
- 硬件实现空闲信道评估 (CCA)

## IEEE 802.15.4

- 兼容 IEEE 802.15.4-2015 协议
- 2.4 GHz 频段，支持 OQPSK PHY
- 数据速率：250 Kbps
- 支持 Thread 1.4
- 支持 Zigbee 3.0
- 支持 Matter
- 支持其他应用层协议 (HomeKit、MQTT 等)

## CPU 和存储

- 双核 32 位 RISC-V 处理器，主频最高 320 MHz
- ULP-RISC-V 协处理器
- 每核集成单精度浮点运算单元 (FPU)
- 128 位数据总线，支持 SIMD 指令（只有其中一个核支持）
- 支持 Sv32 两级页表地址转换
- 双核各自私有指令 cache (I-cache)，共享数据 cache (D-cache)
- 320 KB ROM（通过独立 ROM-Cache 访问）
- 512 KB 共享 SRAM
- 32 KB 低功耗 SRAM
- 片外 PSRAM 接口：250 MHz 8-bit DDR PSRAM（仅支持合封）
- 支持 flash 与 PSRAM 的并行访问
- 支持外接 flash / RAM 的多种 SPI 接口：
  - 专用接口：SPI、Dual SPI、Quad SPI、Octal SPI、QPI、OPI
  - 通用接口：SPI、Dual SPI、Quad SPI、QPI（支持多颗 flash 或 RAM）
- 支持 flash 在线编程 (In-Circuit Programming, ICP)

## 系统 DMA

- 通用 DMA 控制器 (GDMA):
  - AHB-DMA (AHB\_PDMA): 5 个接收通道和 5 个发送通道
  - AXI-DMA (AXI\_PDMA): 3 个接收通道和 3 个发送通道
- 2D-DMA 控制器

## 外设

- 60 个可编程 GPIO
  - 4 个 strapping 管脚
  - 6 个用于连接封装外 flash
- 图像与音频处理：
  - JPEG 图像编解码器
  - 像素处理加速器 (PPA)
  - 音频采样率转换器 (ASRC)
  - CORDIC 加速器
  - LCD 与 Camera 控制器
- 数字接口及外设：

- 4 个 UART + 1 个低功耗 UART (LP UART)
- 6 个 SPI + 1 个低功耗 SPI (LP SPI)
  - \* 2 个 SPI 专用于连接封装内 PSRAM
  - \* 2 个 SPI 专用于连接封装外 flash
  - \* 2 个通用 SPI
  - \* 1 个低功耗 SPI
- 2 个 I2C + 1 个低功耗 I2C (LP I2C)
- 2 个 I2S, 支持硬件级蓝牙音频同步
- 2 个脉冲计数器
- USB 2.0 高速 OTG
- USB 串口/JTAG 控制器
- 1000 Mbps 以太网 MAC
- CAN FD 控制器, 兼容 ISO 11898-1:2015
- SDIO 主机接口, 支持 2 个卡槽
- 2 个 LED PWM 控制器, 多达 8 个通道
- 4 个电机控制脉宽调制器 (MCPWM)
- 红外遥控 (TX/RX)
- 并行 IO 控制器 (PARLIO)
- 比特调节器
- 模拟信号处理:
  - 触摸传感器
  - 温度传感器
  - 2 个 12 位 SAR ADC, 多达 16 个通道
  - 2 个 10 位 DAC, 2 个 12 位 DAC
  - 模拟电压比较器 (1 个参考电压输入 + 3 个比较电压输入)
- 定时器:
  - 4 个 54 位通用定时器
  - 1 个 52 位系统定时器
  - 3 个看门狗定时器

## 功耗管理

- 电源管理单元 (PMU)
- 欠压检测

## 安全机制

- 加密硬件加速器：
  - AES 加速器
  - ECC 加速器
  - HMAC 加速器
  - RSA 加速器
  - SHA 加速器
  - RSA 数字签名外设 (RSA\_DS)
  - ECDSA 数字签名外设 (ECDSA\_DS)
- 安全调试控制器 (SDC)
- 片外存储器加密与解密 (XTS\_AES)
- 随机数生成器 (TRNG)
- 密钥管理器
- 电源毛刺检测器
- 安全启动 (Secure Boot)
- 抗侧信道攻击 (DPA)
- 访问权限管理 (APM) 和可信执行环境 (TEE) 控制器

## RF 模块

- 天线开关、射频巴伦 (balun)、功率放大器、低噪声放大器
- 802.11b 传输功率高达 +20.5 dBm
- 802.11ax 传输功率高达 +19.5 dBm
- 低功耗蓝牙接收器灵敏度 (125 Kbps) 高达 -105 dBm

## 应用

低功耗芯片 ESP32-S31 专为物联网 (IoT) 设备而设计，应用领域包括：

- 智能家居
- 工业自动化
- 医疗保健
- 消费电子产品
- 智慧农业
- POS 机
- 服务机器人
- 音频设备
- 通用低功耗 IoT 传感器集线器
- 通用低功耗 IoT 数据记录器
- 摄像头视频流传输
- USB 设备
- 语音识别
- 图像识别
- Wi-Fi + 蓝牙网卡
- 触摸和接近感应

**说明:**

点击链接或扫描二维码确保您使用的是最新版本的文档:

[https://www.espressif.com/documentation/esp32-s31\\_datasheet\\_cn.pdf](https://www.espressif.com/documentation/esp32-s31_datasheet_cn.pdf)



# 目录

<b>产品概述</b>	2
产品特性	3
应用	8
<b>1 ESP32-S31 系列型号信息</b>	16
1.1 命名规则	16
1.2 型号信息	16
<b>2 管脚</b>	17
2.1 管脚布局	17
2.2 管脚概述	18
2.3 IO 管脚	21
2.3.1 IO MUX 功能	21
2.3.2 LP IO MUX 功能	26
2.3.3 模拟功能	27
2.3.4 GPIO 和 LP GPIO 的限制	29
2.4 模拟管脚	30
2.5 电源	31
2.5.1 电源管脚	31
2.5.2 电源管理	31
2.5.3 芯片上电和复位	32
2.6 芯片与 flash 的管脚对应关系	33
<b>3 启动配置项</b>	34
3.1 芯片启动模式控制	35
3.2 安全调试控制器 (SDC)	35
3.3 ROM 日志打印控制	36
3.4 JTAG 信号源控制	36
<b>4 功能描述</b>	38
4.1 系统	38
4.1.1 微处理器和主控	38
4.1.1.1 高性能处理器	38
4.1.1.2 RISC-V 追踪编码器 (TRACE)	38
4.1.1.3 低功耗处理器	39
4.1.2 系统 DMA	40

4.1.2.1	通用 DMA 控制器 (GDMA-AHB, GDMA-AXI)	40
4.1.2.2	2D-DMA 控制器 (2D-DMA)	41
4.1.3	存储器组织结构	41
4.1.3.1	内部存储器	42
4.1.3.2	外部存储器	43
4.1.3.3	eFuse 控制器 (eFuse)	43
4.1.3.4	Cache	43
4.1.4	系统组件	44
4.1.4.1	GPIO 交换矩阵和 IO MUX	44
4.1.4.2	复位	45
4.1.4.3	时钟	45
4.1.4.4	中断矩阵	46
4.1.4.5	事件任务矩阵	46
4.1.4.6	电源管理单元	47
4.1.4.7	系统定时器	47
4.1.4.8	定时器组 (TIMG)	47
4.1.4.9	看门狗定时器 (WDT)	48
4.1.4.10	实时时钟定时器	48
4.1.4.11	权限控制 (PMS)	49
4.1.4.12	系统寄存器	49
4.1.4.13	辅助调试	50
4.1.4.14	LP 信箱控制器	50
4.1.4.15	欠压监测器	50
4.1.5	加密和安全组件	51
4.1.5.1	AES 加速器 (AES)	51
4.1.5.2	ECC 加速器 (ECC)	51
4.1.5.3	HMAC 加速器 (HMAC)	52
4.1.5.4	RSA 加速器 (RSA)	52
4.1.5.5	SHA 加速器 (SHA)	52
4.1.5.6	RSA 数字签名外设 (RSA_DS)	53
4.1.5.7	ECDSA 数字签名外设 (ECDSA_DS)	53
4.1.5.8	安全调试控制器 (SDC)	54
4.1.5.9	片外存储器加密与解密 (XTS_AES)	54
4.1.5.10	随机数发生器 (RNG)	54
4.1.5.11	密钥管理器	55
4.1.5.12	电源毛刺检测器	56
4.1.5.13	安全启动	56
4.2	外设	57
4.2.1	图像与音频处理	57
4.2.1.1	JPEG 图像编解码器	57
4.2.1.2	像素处理加速器 (PPA)	58
4.2.1.3	音频采样率转换器 (ASRC)	58
4.2.1.4	CORDIC 加速器 (CORDIC)	59
4.2.1.5	LCD 与 Camera 控制器 (LCD_CAM)	60
4.2.2	通讯接口	60
4.2.2.1	UART 控制器 (UART)	60

4.2.2.2	SPI 控制器 (SPI)	61
4.2.2.3	I2C 控制器 (I2C)	63
4.2.2.4	I2S 控制器 (I2S)	63
4.2.2.5	脉冲计数控制器 (PCNT)	64
4.2.2.6	USB 2.0 高速 OTG	65
4.2.2.7	USB 串口/JTAG 控制器 (USB_SERIAL_JTAG)	66
4.2.2.8	以太网介质访问控制器 (EMAC)	66
4.2.2.9	CAN FD 控制器	68
4.2.2.10	SD/MMC 主机控制器 (SDHOST)	69
4.2.2.11	LED PWM 控制器 (LEDC)	69
4.2.2.12	电机控制脉宽调制器 (MCPWM)	70
4.2.2.13	红外遥控 (RMT)	70
4.2.2.14	并行 IO 控制器 (PARLIO)	71
4.2.2.15	比特调节器	72
4.2.3	模拟信号处理	72
4.2.3.1	触摸传感器 (TOUCH)	72
4.2.3.2	温度传感器 (TSENS)	73
4.2.3.3	ADC 控制器 (ADC)	73
4.2.3.4	DAC 控制器 (DAC)	74
4.2.3.5	模拟电压比较器	74
4.3	无线通信	75
4.3.1	无线电	75
4.3.1.1	2.4 GHz 接收器	75
4.3.1.2	2.4 GHz 发射器	75
4.3.1.3	时钟生成器	75
4.3.2	Wi-Fi	75
4.3.2.1	Wi-Fi 无线电和基带	75
4.3.2.2	Wi-Fi MAC	76
4.3.2.3	网络特性	77
4.3.3	低功耗蓝牙	77
4.3.3.1	低功耗蓝牙物理层	77
4.3.3.2	低功耗蓝牙链路控制器	77
4.3.4	经典蓝牙	78
4.3.4.1	经典蓝牙物理层	78
4.3.4.2	经典蓝牙链路控制器	79
4.3.5	802.15.4	79
4.3.5.1	802.15.4 物理层	79
4.3.5.2	802.15.4 MAC	79
<b>5</b>	<b>电气特性</b>	<b>81</b>
5.1	绝对最大额定值	81
5.2	建议电源条件	81
5.3	直流电气特性 (3.3 V, 25 °C)	81
5.4	功耗特性	82
5.4.1	Active 模式下的功耗	82

<b>6</b>	<b>射频特性</b>	84
6.1	Wi-Fi 射频	84
6.1.1	Wi-Fi 射频发射器 (TX) 特性	84
6.1.2	Wi-Fi 射频接收器 (RX) 特性	85
6.2	低功耗蓝牙射频	86
6.2.1	低功耗蓝牙射频发射器 (TX) 特性	86
6.2.2	低功耗蓝牙射频接收器 (RX) 特性	88
6.3	经典蓝牙射频	88
6.3.1	经典蓝牙射频发射器 (TX) 特性	89
6.3.2	经典蓝牙射频接收器 (RX) 特性	90
6.4	802.15.4 射频	90
6.4.1	802.15.4 射频发射器 (TX) 特性	90
6.4.2	802.15.4 射频接收器 (RX) 特性	90
<b>7</b>	<b>封装</b>	92
	<b>ESP32-S31 管脚总览</b>	93
	<b>词汇表</b>	95
	<b>相关文档和资源</b>	96
	<b>修订历史</b>	97

## 表格

1-1	ESP32-S31 系列芯片信息	16
2-1	管脚概述	18
2-2	通过 IO MUX 连接的外设信号	21
2-3	IO MUX 功能	23
2-4	LP IO MUX 功能	26
2-5	连接模拟功能的模拟信号	27
2-6	模拟功能	27
2-7	模拟管脚	30
2-8	电源管脚	31
2-9	电压稳压器	31
2-10	上电和复位时序参数说明	32
2-11	芯片与封装外 flash 的管脚对应关系	33
3-1	Strapping 管脚的默认配置	34
3-2	Strapping 管脚的时序参数说明	34
3-3	芯片启动模式控制	35
3-4	UART0 ROM 日志打印控制	36
3-5	USB 串口/JTAG ROM 日志打印控制	36
3-6	JTAG 信号源控制	37
5-1	绝对最大额定值	81
5-2	建议电源条件	81
5-3	直流电气特性 (3.3 V, 25 °C)	81
5-4	Active 模式下 Wi-Fi (2.4 GHz) 功耗特性	82
5-5	Active 模式下低功耗蓝牙功耗特性	82
5-6	Active 模式下经典蓝牙功耗特性	83
5-7	Active 模式下 802.15.4 功耗特性	83
6-1	2.4 GHz Wi-Fi 射频规格	84
6-2	2.4 GHz 频谱模板和 EVM 符合 802.11 标准时的发射功率	84
6-3	2.4 GHz 发射 EVM 测试 <sup>1</sup>	84
6-4	2.4 GHz 接收灵敏度	85
6-5	2.4 GHz 最大接收电平	86
6-6	低功耗蓝牙射频规格	86
6-7	低功耗蓝牙 - 发射器特性 - 1 Mbps	87
6-8	低功耗蓝牙 - 发射器特性 - 2 Mbps	87
6-9	低功耗蓝牙 - 发射器特性 - 125 Kbps	87
6-10	低功耗蓝牙 - 发射器特性 - 500 Kbps	88
6-11	低功耗蓝牙 - 接收器特性 - 1 Mbps	88
6-12	低功耗蓝牙 - 接收器特性 - 2 Mbps	88
6-13	低功耗蓝牙 - 接收器特性 - 125 Kbps	88
6-14	低功耗蓝牙 - 接收器特性 - 500 Kbps	88
6-15	经典蓝牙射频规格	89
6-16	经典蓝牙 - 发射器特性 - 基本速率 (BR)	89
6-17	经典蓝牙 - 发射器特性 - 增强数据速率 (EDR)	89
6-18	经典蓝牙 - 接收器特性 - 基本速率 (BR)	90

6-19 经典蓝牙 - 接收器特性 - 增强数据速率 (EDR)	90
6-20 802.15.4 射频规格	90
6-21 802.15.4 发射器特性 - 250 Kbps	90
6-22 802.15.4 接收器特性 - 250 Kbps	90
7-1 管脚总览	93

## 插图

1-1	ESP32-S31 系列芯片命名规则	16
2-1	ESP32-S31 管脚布局（俯视图）	17
2-2	ESP32-S31 电源管理	32
2-3	上电和复位时序参数图	32
3-1	Strapping 管脚的时序参数图	35
4-1	地址映射结构	42
7-1	QFN80 (8 × 8 mm) 封装	92

# 1 ESP32-S31 系列型号信息

## 1.1 命名规则

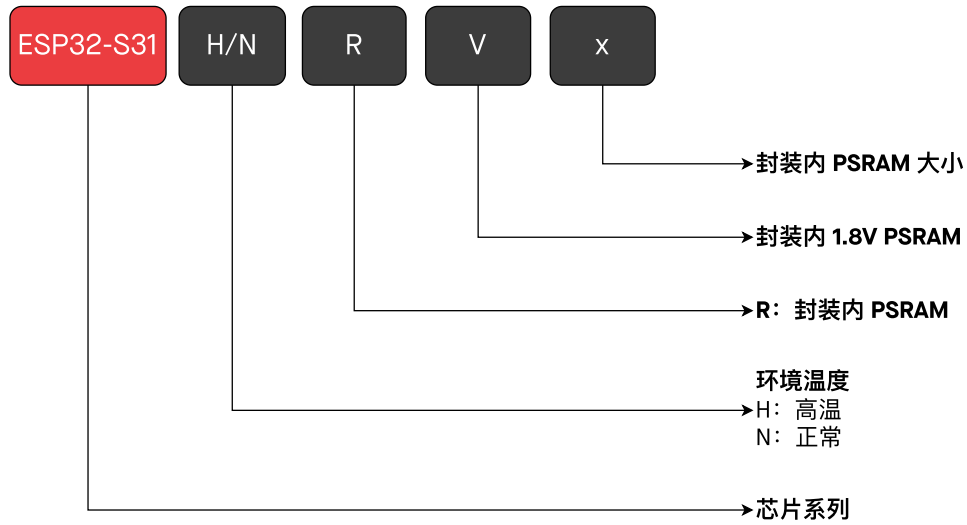


图 1-1. ESP32-S31 系列芯片命名规则

## 1.2 型号信息

表 1-1. ESP32-S31 系列芯片信息

料号 <sup>1</sup>	环境温度 <sup>2</sup> (°C)	封装内 PSRAM	封装
ESP32-S31NRV16	-40~85	16 MB (Octal SPI) <sup>3</sup>	QFN80 (8×8 mm)
ESP32-S31NRV32	-40~85	32 MB (Octal SPI)	QFN80 (8×8 mm)

<sup>1</sup> 更多关于芯片封装的信息，请参考章节 7 封装。

<sup>2</sup> 环境温度指乐鑫芯片外部的推荐环境温度。

<sup>3</sup> 更多关于 SPI 模式的信息，请参考章节 2.6 芯片与 flash 的管脚对应关系。

## 2 管脚

### 2.1 管脚布局

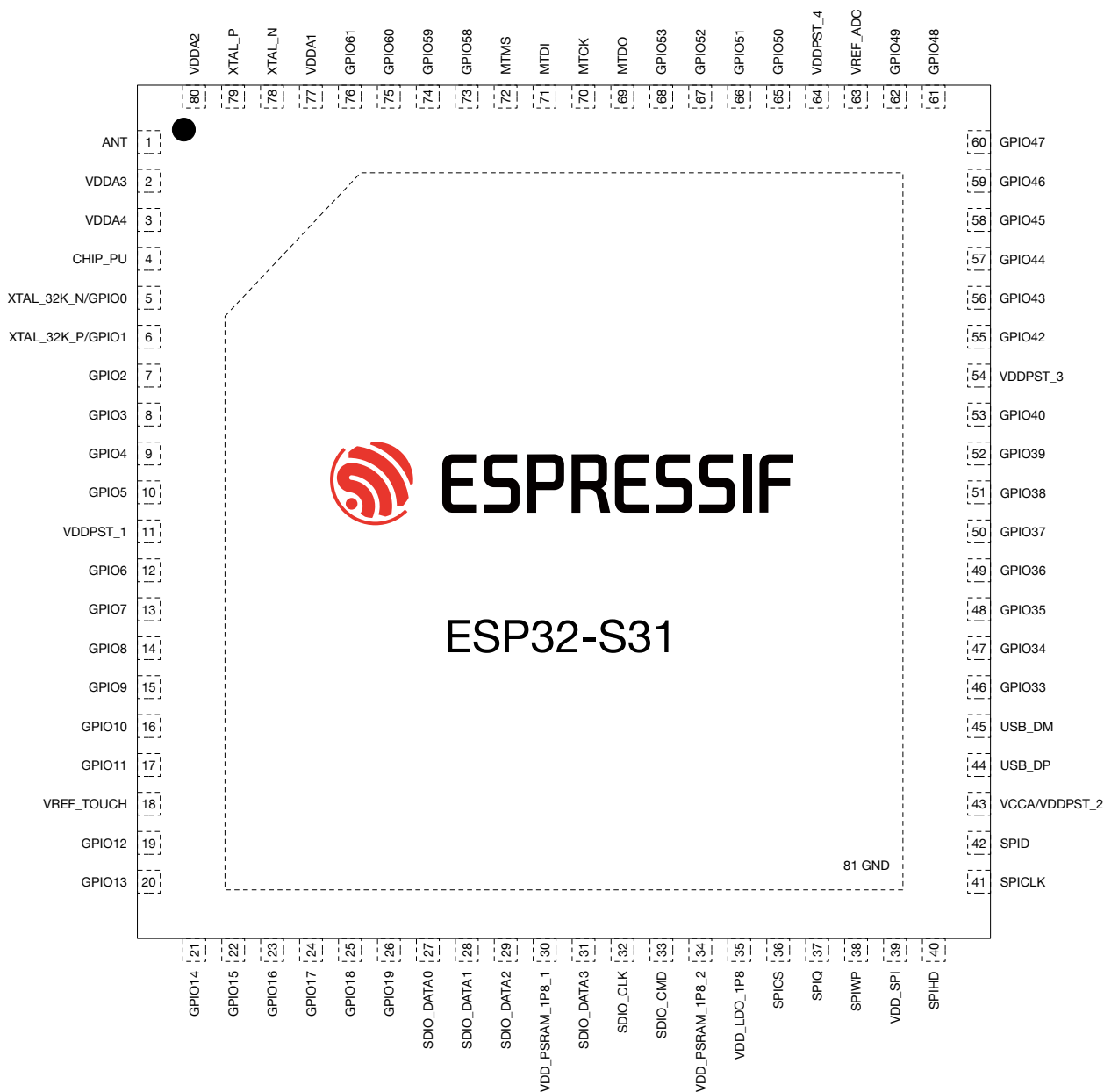


图 2-1. ESP32-S31 管脚布局 (俯视图)

## 2.2 管脚概述

ESP32-S31 芯片集成了多个需要与外界通讯的外设。由于芯片封装尺寸小、管脚数量有限，传送所有输入输出信号的唯一方法是管脚多路复用。

ESP32-S31 芯片的管脚可分为以下几类：

- **IO 管脚**，具有以下预设功能：
  - 每个 IO 管脚都预设了 **IO MUX 功能** - 见表 2-3 *IO MUX 功能*
  - 部分 IO 管脚预设了 **LP IO MUX 功能** - 见表 2-4 *LP IO MUX 功能*
  - 部分 IO 管脚预设了 **模拟功能** - 见表 2-6 *模拟功能*

预设功能即每个 IO 管脚直接连接至一组特定的片上组件信号。运行时，可通过映射寄存器配置连接管脚的组件信号。

- **模拟管脚**，专用于**模拟功能** - 见表 2-7 *模拟管脚*
- **电源管脚**，为芯片组件和非电源管脚供电 - 见表 2-8 *电源管脚*

表 2-1 *管脚概述* 简要介绍了所有管脚。更多信息，详见下文相应章节，或参考附录 A - *ESP32-S31 管脚总览*。

表 2-1. 管脚概述

管脚序号	管脚名称	管脚类型	供电管脚 <sup>2</sup>	管脚配置 <sup>3</sup>		管脚功能 <sup>1</sup>		
				复位时	复位后	IO MUX	LP IO MUX	模拟
1	ANT	模拟						
2	VDDA3	电源						
3	VDDA4	电源						
4	CHIP_PU	模拟						
5	XTAL_32K_N/GPIO0	IO	VDDPST_1					
6	XTAL_32K_P/GPIO1	IO	VDDPST_1					
7	GPIO2	IO	VDDPST_1			IO MUX	LP IO MUX	
8	GPIO3	IO	VDDPST_1			IO MUX	LP IO MUX	
9	GPIO4	IO	VDDPST_1			IO MUX	LP IO MUX	
10	GPIO5	IO	VDDPST_1			IO MUX	LP IO MUX	
11	VDDPST_1	电源						
12	GPIO6	IO	VDDPST_1			IO MUX	LP IO MUX	模拟
13	GPIO7	IO	VDDPST_1			IO MUX	LP IO MUX	模拟
14	GPIO8	IO	VDDPST_1		IE	IO MUX		模拟
15	GPIO9	IO	VDDPST_1		IE	IO MUX		模拟
16	GPIO10	IO	VDDPST_1		IE	IO MUX		模拟
17	GPIO11	IO	VDDPST_1		IE	IO MUX		模拟
18	VREF_TOUCH	模拟						
19	GPIO12	IO	VDDPST_1		IE	IO MUX		模拟
20	GPIO13	IO	VDDPST_1		IE	IO MUX		模拟
21	GPIO14	IO	VDDPST_1		IE	IO MUX		模拟
22	GPIO15	IO	VDDPST_1		IE	IO MUX		模拟
23	GPIO16	IO	VDDPST_1		IE	IO MUX		模拟

见下页

- 接上页

管脚序号	管脚名称	管脚类型	供电管脚 <sup>2</sup>	管脚配置 <sup>3</sup>		管脚功能 <sup>1</sup>		
				复位时	复位后	IO MUX	LP IO MUX	模拟
24	GPIO17	IO	VDDPST_1		IE	IO MUX		模拟
25	GPIO18	IO	VDDPST_1		IE	IO MUX		模拟
26	GPIO19	IO	VDDPST_1		IE	IO MUX		模拟
27	SDIO_DATA0	IO	VDDPST_SD		IE	IO MUX		
28	SDIO_DATA1	IO	VDDPST_SD		IE	IO MUX		
29	SDIO_DATA2	IO	VDDPST_SD		IE	IO MUX		
30	VDD_PSRAM_1P8_1	电源						
31	SDIO_DATA3	IO	VDDPST_SD		IE	IO MUX		
32	SDIO_CLK	IO	VDDPST_SD		IE	IO MUX		
33	SDIO_CMD	IO	VDDPST_SD		IE	IO MUX		
34	VDD_PSRAM_1P8_2	电源						
35	VDD_LDO_1P8	电源						
36	SPICS	IO	VDD_SPI	WPU	WPU, IE	IO MUX		
37	SPIQ	IO	VDD_SPI	WPU	WPU, IE	IO MUX		
38	SPIWP	IO	VDD_SPI	WPU	WPU, IE	IO MUX		
39	VDD_SPI	电源						
40	SPIHD	IO	VDD_SPI	WPU	WPU, IE	IO MUX		
41	SPICLK	IO	VDD_SPI	WPU	WPU, IE	IO MUX		
42	SPID	IO	VDD_SPI	WPU	WPU, IE	IO MUX		
43	VCCA/VDDPST_2	电源						
44	USB_DP	模拟	VDDPST_2					
45	USB_DM	模拟	VDDPST_2					
46	GPIO33	IO	VDDPST_3	drv=3	USB_PU, IE, drv=3	IO MUX		模拟
47	GPIO34	IO	VDDPST_3	drv=3	USB_PU, IE, drv=3	IO MUX		模拟
48	GPIO35	IO	VDDPST_3		IE	IO MUX		
49	GPIO36	IO	VDDPST_3	IE	IE	IO MUX		
50	GPIO37	IO	VDDPST_3	IE	IE	IO MUX		模拟
51	GPIO38	IO	VDDPST_3	IE	IE	IO MUX		模拟
52	GPIO39	IO	VDDPST_3	IE	IE	IO MUX		模拟
53	GPIO40	IO	VDDPST_3	IE	IE	IO MUX		模拟
54	VDDPST_3	电源						
55	GPIO42	IO	VDDPST_3		IE	IO MUX		模拟
56	GPIO43	IO	VDDPST_3		IE	IO MUX		模拟
57	GPIO44	IO	VDDPST_3		IE	IO MUX		模拟
58	GPIO45	IO	VDDPST_3		IE	IO MUX		模拟
59	GPIO46	IO	VDDPST_3		IE	IO MUX		模拟
60	GPIO47	IO	VDDPST_3		IE	IO MUX		模拟
61	GPIO48	IO	VDDPST_3			IO MUX		模拟
62	GPIO49	IO	VDDPST_3			IO MUX		模拟
63	VREF_ADC	模拟						
64	VDDPST_4	电源						
65	GPIO50	IO	VDDPST_4			IO MUX		模拟
66	GPIO51	IO	VDDPST_4			IO MUX		模拟
67	GPIO52	IO	VDDPST_4		IE	IO MUX		模拟
68	GPIO53	IO	VDDPST_4		IE	IO MUX		模拟

见下页

- 接上页

管脚序号	管脚名称	管脚类型	供电管脚 <sup>2</sup>	管脚配置 <sup>3</sup>		管脚功能 <sup>1</sup>		
				复位时	复位后	IO MUX	LP IO MUX	模拟
69	MTDO	IO	VDDPST_4		IE	IO MUX		模拟
70	MTCK	IO	VDDPST_4		IE	IO MUX		模拟
71	MTDI	IO	VDDPST_4		IE	IO MUX		模拟
72	MTMS	IO	VDDPST_4		IE	IO MUX		模拟
73	GPIO58	IO	VDDPST_4		IE	IO MUX		
74	GPIO59	IO	VDDPST_4		IE	IO MUX		
75	GPIO60	IO	VDDPST_4	WPU, IE	WPU, IE	IO MUX		
76	GPIO61	IO	VDDPST_4	WPU, IE	WPU, IE	IO MUX		
77	VDDA1	电源						
78	XTAL_N	模拟						
79	XTAL_P	模拟						
80	VDDA2	电源						

1. **加粗**功能为默认启动模式下管脚的默认功能。关于默认启动模式的更多信息，详见章节 3.1 芯片启动模式控制。
2. **供电管脚**一栏，由 VDD\_SPI 供电的管脚：
  - 电源实际来自给 VDD\_SPI 供电的内部电源轨，详见章节 2.5.2 电源管理。
3. **管脚配置**一栏为复位时和复位后预设配置缩写：
  - IE - 输入使能
  - WPU - 内部弱上拉电阻使能
  - WPD - 内部弱下拉电阻使能
  - USB\_PU - USB 上拉电阻使能
    - USB 管脚(GPIO33 和 GPIO34)默认开启 USB 功能,此时管脚是否上拉由 USB 上拉决定。USB 上拉由 USB\_SERIAL\_JTAG\_DP/DM\_PULLUP 控制，USB 上拉电阻的具体阻值可通过 USB\_SERIAL\_JTAG\_PULLUP\_VALUE 位控制。
    - USB 管脚关闭 USB 功能时，用作普通 GPIO，默认禁用管脚内部弱上/下拉电阻，可通过 IO\_MUX\_FUN\_WPU/WPD 配置。
4. 所有管脚的默认驱动电流为 20 mA。
5. EFUSE\_DIS\_PAD\_JTAG 的值为
  - 0 - 弱上拉电阻使能
  - 1 - 管脚浮空

## 2.3 IO 管脚

### 2.3.1 IO MUX 功能

IO MUX 能让一个输入/输出管脚连接多个输入/输出信号。ESP32-S31 的每个 IO 管脚可在表 2-3 [IO MUX 功能](#) 列出的五个信号 (IO MUX 功能, 即 FO~F4) 中选择, 连接任意一个。

五个信号中:

- 部分源自 GPIO 交换矩阵 (**GPIO0**、**GPIO1** 等)。GPIO 交换矩阵包含内部信号传输线路, 用于映射信号, 能令管脚连接几乎任一外设信号。这种映射虽然灵活, 但可能影响传输信号的速度, 造成延迟。
- 部分直接源自特定外设 (**UOTXD**、**MTCK** 等), 包括 UART0、JTAG、SPI2 等 - 详见表 2-2 [通过 IO MUX 连接的外设信号](#)。

表 2-2. 通过 IO MUX 连接的外设信号

管脚功能	信号	描述
MTCK MTDO MTDI MTMS	测试时钟 (Test clock) 测试数据输出 (Test data out) 测试数据输入 (Test data in) 测试模式选择 (Test mode select)	用于调试功能的 JTAG 接口
SPI2_HOLD_PAD SPI2_CS_PAD SPI2_D_PAD SPI2_CK_PAD SPI2_Q_PAD SPI2_WP_PAD	暂停 (Hold) 片选 (Chip select) 数据输入 (Data in) 时钟 (Clock) 数据输出 (Data out) 写保护 (Write protect)	3.3 V SPI2 接口, 既可以配置成主机模式, 又可以配置成从机模式。支持单线, 二线, 四线或八线通信模式 (八线通信模式仅在主机模式下有效)。
SPI2_IO..._PAD SPI2_DQS_PAD	数据 (Data) 数据选通/数据掩码 (Data strobe/data mask)	八线 SPI 模式下 SPI2 接口的高 4 位数据线接口及 DQS 接口
UART0_TXD_PAD UART0_RXD_PAD	发送数据 (Transmit data) 接收数据 (Receive data)	UART0 接口
GMAC_PHY_RXDV_PAD <sup>†</sup> GMAC_PHY_RXD..._PAD GMAC_PHY_RXER_PAD GMAC_PHY_TXDV_PAD GMAC_PHY_TXD..._PAD GMAC_PHY_TXER_PAD GMAC_PHY_TXEN_PAD GMAC_RMII_CLK_PAD	接收数据有效 (Receive data valid) 接收数据线 0/1 接收错误 (Receive error) 发送数据有效 (Transmit data valid) 发送数据线 0/1 发送错误 (Transmit error) 发送使能 (Transmit enable) RMII 接口时钟 (Clock)	RMII Ethernet PHY 接口
SD1_CDATA..._PAD SD1_CCLK_PAD SD1_CCMD_PAD	SD1 卡数据线 0~7 SD1 卡时钟 (Card clock) SD1 卡命令 (Card command)	SDIO3.0 接口
CAM_DATA..._PAD CAM_PCLK_PAD CAM_XCLK_PAD CAM_V_SYNC_PAD CAM_H_SYNC_PAD	数据输入 (Data in) 像素时钟输入 (Clock in) 输出时钟 (Clock out) 场同步 行同步	摄像头接口
LCD_DATA..._OUT_PAD LCD_PCLK_PAD LCD_H_ENABLE_PAD	数据输出 (Data out) 像素时钟输出 (Clock out) 行数据有效	LCD 显示接口

见下页

表 2-2 - 接上页

管脚功能	信号	描述
LCD_V_SYNC_PAD	场同步	
LCD_H_SYNC_PAD	行同步	

<sup>1</sup> PAD 层不区分 MII 或 RMII 接口。该信号在 MII 模式下用作 RX\_DV，在 RMII 模式下用作 CRS\_DV。

表 2-3 *IO MUX 功能* 列出了管脚的 IO MUX 功能。

表 2-3. IO MUX 功能

管脚序号	GPIO	IO MUX 功能									
		F0	类型	F1	类型	F2	类型	F3	类型	F4	类型
5	XTAL_32K_N	GPIO0	I/O/T	GPIO0	I/O/T						
6	XTAL_32K_P	GPIO1	I/O/T	GPIO1	I/O/T						
7	GPIO2	GPIO2	I/O/T	GPIO2	I/O/T			lcd_data19_out_pad	0		
8	GPIO3	GPIO3	I/O/T	GPIO3	I/O/T			lcd_data20_out_pad	0		
9	GPIO4	GPIO4	I/O/T	GPIO4	I/O/T			lcd_data21_out_pad	0		
10	GPIO5	GPIO5	I/O/T	GPIO5	I/O/T			lcd_data22_out_pad	0		
12	GPIO6	GPIO6	I/O/T	GPIO6	I/O/T						
13	GPIO7	GPIO7	I/O/T	GPIO7	I/O/T			lcd_data23_out_pad	0		
14	GPIO8	GPIO8	I/O/T	GPIO8	I/O/T	gmac_phy_txd0_pad	0	lcd_data0_out_pad	0		
15	GPIO9	spi2_hold_pad	I/O/T	GPIO9	I/O/T	gmac_phy_txd1_pad	0	lcd_data1_out_pad	0	dbg_psram_ck_pad	0
16	GPIO10	spi2_cs_pad	I/O/T	GPIO10	I/O/T	gmac_phy_txd2_pad	0	lcd_data2_out_pad	0	dbg_psram_cs_pad	0
17	GPIO11	spi2_d_pad	I/O/T	GPIO11	I/O/T	gmac_phy_txd3_pad	0	lcd_data3_out_pad	0	dbg_psram_d_pad	0
19	GPIO12	spi2_ck_pad	I/O/T	GPIO12	I/O/T	gmac_phy_txen_pad	0	lcd_data4_out_pad	0	dbg_psram_q_pad	0
20	GPIO13	spi2_q_pad	I/O/T	GPIO13	I/O/T	gmac_rmii_clk_pad	I/O/T	lcd_data5_out_pad	0	dbg_psram_wp_pad	0
21	GPIO14	spi2_wp_pad	I/O/T	GPIO14	I/O/T	gmac_rx_clk_pad	I/O	lcd_data6_out_pad	0	dbg_psram_hold_pad	0
22	GPIO15	spi2_io4_pad	I/O/T	GPIO15	I/O/T	gmac_phy_rxdv_pad	I/O	lcd_data7_out_pad	0	dbg_psram_dq4_pad	0
23	GPIO16	spi2_io5_pad	I/O/T	GPIO16	I/O/T	gmac_phy_rxd3_pad	I/O	lcd_data8_out_pad	0	dbg_psram_dq5_pad	0
24	GPIO17	spi2_io6_pad	I/O/T	GPIO17	I/O/T	gmac_phy_rxd2_pad	I/O	lcd_data9_out_pad	0	dbg_psram_dq6_pad	0
25	GPIO18	spi2_io7_pad	I/O/T	GPIO18	I/O/T	gmac_phy_rxd1_pad	I/O	lcd_data10_out_pad	0	dbg_psram_dq7_pad	0
26	GPIO19	spi2_dqs_pad	O/T	GPIO19	I/O/T	gmac_phy_rxd0_pad	I/O	lcd_data11_out_pad	0	dbg_psram_dqs_0_pad	0
27	SDIO_DATA0	GPIO20	I/O/T	GPIO20	I/O/T	spi2_ck_pad	I/O/T			dbg_flash_ck_pad	0
28	SDIO_DATA1	GPIO21	I/O/T	GPIO21	I/O/T	spi2_d_pad	I/O/T			dbg_flash_d_pad	0
29	SDIO_DATA2	GPIO22	I/O/T	GPIO22	I/O/T	spi2_q_pad	I/O/T			dbg_flash_cs_pad	0
31	SDIO_DATA3	GPIO23	I/O/T	GPIO23	I/O/T	spi2_cs_pad	I/O/T			dbg_flash_q_pad	0
32	SDIO_CLK	GPIO24	I/O/T	GPIO24	I/O/T	spi2_hold_pad	I/O/T			dbg_flash_wp_pad	0
33	SDIO_CMD	GPIO25	I/O/T	GPIO25	I/O/T	spi2_wp_pad	I/O/T			dbg_flash_hold_pad	0
36	SPICS	flash_cs_pad	O/T	GPIO26	I/O/T						
37	SPIQ	flash_q_pad	I/O/T	GPIO27	I/O/T						

见下页

- 接上页

管脚序号	GPIO	IO MUX 功能									
		F0	类型	F1	类型	F2	类型	F3	类型	F4	类型
38	SPIWP	flash_wp_pad	I/O/T	GPIO28	I/O/T						
40	SPIHD	flash_hold_pad	I/O/T	GPIO30	I/O/T						
41	SPICLK	flash_ck_pad	O/T	GPIO31	I/O/T						
42	SPID	flash_d_pad	I/O/T	GPIO32	I/O/T						
46	GPIO33	GPIO33	I/O/T	GPIO33	I/O/T			lcd_data12_out_pad	O		
47	GPIO34	GPIO34	I/O/T	GPIO34	I/O/T			lcd_data13_out_pad	O		
48	GPIO35	GPIO35	I/O/T	GPIO35	I/O/T	ref_gmac_clk_pad	O	lcd_data14_out_pad	O	sd2_cdata0_pad	I/O/T
49	GPIO36	GPIO36	I/O/T	GPIO36	I/O/T	gmac_phy_rxdv_pad	IO	lcd_data15_out_pad	O	sd2_cdata1_pad	I/O/T
50	GPIO37	GPIO37	I/O/T	GPIO37	I/O/T	gmac_phy_txen_pad	O	lcd_data16_out_pad	O	sd2_cdata2_pad	I/O/T
51	GPIO38	GPIO38	I/O/T	GPIO38	I/O/T	gmac_phy_rxd3_pad	IO	lcd_data17_out_pad	O	sd2_cdata3_pad	I/O/T
52	GPIO39	GPIO39	I/O/T	GPIO39	I/O/T	gmac_phy_rxd2_pad	IO	lcd_data18_out_pad	O	sd2_cclk_pad	O
53	GPIO40	GPIO40	I/O/T	GPIO40	I/O/T	gmac_phy_rxd1_pad	IO	lcd_pclk_pad	O	sd2_ccmd_pad	I/O/T
55	GPIO42	GPIO42	I/O/T	GPIO42	I/O/T	gmac_rx_clk_pad	IO				
56	GPIO43	GPIO43	I/O/T	GPIO43	I/O/T	gmac_rmii_clk_pad	IO/O/T	lcd_h_enable_pad	O		
57	GPIO44	GPIO44	I/O/T	GPIO44	I/O/T	gmac_phy_txd0_pad	O	lcd_h_sync_pad	O		
58	GPIO45	GPIO45	I/O/T	GPIO45	I/O/T	gmac_phy_txd1_pad	O	lcd_v_sync_pad	O		
59	GPIO46	GPIO46	I/O/T	GPIO46	I/O/T	gmac_phy_txd2_pad	O	cam_data0_in_pad	IO		
60	GPIO47	GPIO47	I/O/T	GPIO47	I/O/T	gmac_phy_txd3_pad	O	cam_data1_in_pad	IO		
61	GPIO48	GPIO48	I/O/T	GPIO48	I/O/T			cam_data2_in_pad	IO		
62	GPIO49	GPIO49	I/O/T	GPIO49	I/O/T			cam_data3_in_pad	IO		
65	GPIO50	GPIO50	I/O/T	GPIO50	I/O/T			cam_data4_in_pad	IO		
66	GPIO51	GPIO51	I/O/T	GPIO51	I/O/T			cam_data5_in_pad	IO		
67	GPIO52	GPIO52	I/O/T	GPIO52	I/O/T	spi2_cs_pad	I/O/T	cam_data6_in_pad	IO		
68	GPIO53	GPIO53	I/O/T	GPIO53	I/O/T	spi2_ck_pad	I/O/T	cam_data7_in_pad	IO		
69	MTDO	MTDO	O/T	GPIO54	I/O/T	spi2_d_pad	I/O/T	cam_pclk_pad	IO		
70	MTCK	MTCK	I	GPIO55	I/O/T	spi2_q_pad	I/O/T	cam_xclk_pad	O		
71	MTDI	MTDI	I	GPIO56	I/O/T	spi2_hold_pad	I/O/T	cam_v_sync_pad	IO		
72	MTMS	MTMS	I	GPIO57	I/O/T	spi2_wp_pad	I/O/T	cam_h_sync_pad	IO		
73	GPIO58	uart0_txd_pad	O	GPIO58	I/O/T						

见下页

- 接上页

管脚序号	GPIO	IO MUX 功能									
		F0	类型	F1	类型	F2	类型	F3	类型	F4	类型
74	GPIO59	uart0_rxd_pad	I1	GPIO59	I/O/T						
75	GPIO60	GPIO60	I/O/T	GPIO60	I/O/T						
76	GPIO61	GPIO61	I/O/T	GPIO61	I/O/T						

<sup>1</sup> **加粗**表示默认启动模式下的默认管脚功能。关于默认启动模式的更多信息，详见章节 3.1 芯片启动模式控制。

<sup>2</sup> **高亮**的单元格，详见章节 2.3.4 GPIO 和 LP GPIO 的限制。

<sup>3</sup> 每个 IO MUX 功能 ( $F_n$ ,  $n = 0 \sim 4$ ) 均对应一个“类型”。以下是各个“类型”的含义：

- I - 输入。O - 输出。T - 高阻。
- I1 - 输入；如果该管脚分配了  $F_n$  以外的功能，则  $F_n$  的输入信号恒为 1。
- IO - 输入；如果该管脚分配了  $F_n$  以外的功能，则  $F_n$  的输入信号恒为 0。

### 2.3.2 LP IO MUX 功能

芯片处于 Deep-sleep 模式时，章节 2.3.1 *IO MUX 功能* 介绍的 IO 管脚功能无法使用。这正是引入 LP IO MUX 的原因。LP IO 管脚连接 LP 系统，使用 LP IO MUX 能在 Deep-sleep 模式下让一个 LP 输入/输出管脚连接多个输入/输出信号。

LP IO 管脚具有 **LP 功能**，可以用作 LP GPIO (**LP\_GPIO0**、**LP\_GPIO1** 等)。

表 2-4 *LP IO MUX 功能* 列出了 LP IO 管脚的 LP IO MUX 功能。

表 2-4. LP IO MUX 功能

管脚 序号	LP IO 名称 <sup>1</sup>	LP IO MUX 功能							
		F0	类型	F1	类型	F2	类型	F3	类型
5	LP_GPIO0	LP_GPIO0	I/O/T	LP_GPIO0	I/O/T			LP_PROBE_TOP_OUT0	O
6	LP_GPIO1	LP_GPIO1	I/O/T	LP_GPIO1	I/O/T			LP_PROBE_TOP_OUT1	O
7	LP_GPIO2	LP_UART_DTRN_PAD	O	LP_GPIO2	I/O/T	LP_SPI_CK_PAD	I1/O/T	LP_PROBE_TOP_OUT2	O
8	LP_GPIO3	LP_UART_DSRN_PAD	I1	LP_GPIO3	I/O/T	LP_SPI_CS_PAD	I1/O/T	LP_PROBE_TOP_OUT3	O
9	LP_GPIO4	LP_UART_RTSN_PAD	O	LP_GPIO4	I/O/T	LP_SPI_D_PAD	I1/O/T	LP_PROBE_TOP_OUT4	O
10	LP_GPIO5	LP_UART_CTSN_PAD	I1	LP_GPIO5	I/O/T	LP_SPI_Q_PAD	I1/O/T	LP_PROBE_TOP_OUT5	O
12	LP_GPIO6	LP_UART_TXD_PAD	O	LP_GPIO6	I/O/T	LP_I2C_SCL_PAD	I1/O/T	LP_PROBE_TOP_OUT6	O
13	LP_GPIO7	LP_UART_RXD_PAD	I1	LP_GPIO7	I/O/T	LP_I2C_SDA_PAD	I1/O/T	LP_PROBE_TOP_OUT7	O

<sup>1</sup> 由于 LP IO MUX 功能通过使用 LP GPIO 编号的 LP GPIO 寄存器配置，此列列出的是 LP GPIO 的名称。

### 2.3.3 模拟功能

部分 IO 管脚具有**模拟功能**，可用于任意功耗模式下的模拟外设（如 ADC）。模拟功能连接内部模拟信号，详见表 2-5 连接模拟功能的模拟信号。

表 2-5. 连接模拟功能的模拟信号

管脚功能	信号	描述
TOUCH...	触摸传感器通道 ... 信号	触摸传感器接口
ADC..._CH...	ADC1/2 通道 ... 信号	ADC1/2 接口
XTAL_32K_N XTAL_32K_P	负极性时钟信号 (Negative clock signal) 正极性时钟信号 (Positive clock signal)	连接 ESP32-S31 无源或有源晶振的外部 32 kHz 时钟输入/输出
USB_D- USB_D+	数据 - (Data -) 数据 + (Data +)	USB OTG 和 USB 串口/JTAG 功能
PAD_COMP...	模拟电压比较器通道... 信号	模拟电压比较器接口

表 2-6 模拟功能 列出了 IO 管脚的模拟功能。

表 2-6. 模拟功能

管脚序号	GPIO	模拟功能 FO
12	GPIO6	TOUCH_CHANNEL0
13	GPIO7	TOUCH_CHANNEL1
14	GPIO8	TOUCH_CHANNEL2
15	GPIO9	TOUCH_CHANNEL3
16	GPIO10	TOUCH_CHANNEL4
17	GPIO11	TOUCH_CHANNEL5
19	GPIO12	TOUCH_CHANNEL6
20	GPIO13	TOUCH_CHANNEL7
21	GPIO14	TOUCH_CHANNEL8
22	GPIO15	TOUCH_CHANNEL9
23	GPIO16	TOUCH_CHANNEL10
24	GPIO17	TOUCH_CHANNEL11
25	GPIO18	TOUCH_CHANNEL12
26	GPIO19	TOUCH_CHANNEL13
39	GPIO29	VDD_SPI
46	GPIO33	USB1P1_NO
47	GPIO34	USB1P1_PO
50	GPIO37	PAD COMPO (MUX4)
51	GPIO38	PAD COMP1 (MUX4)
52	GPIO39	PAD COMP2 (MUX4)
53	GPIO40	PAD COMP3 (MUX4)
55	GPIO42	ADC1_CHANNEL0_N
56	GPIO43	ADC1_CHANNEL0_P
57	GPIO44	ADC1_CHANNEL1_N
58	GPIO45	ADC1_CHANNEL1_P

见下页

- 接上页

管脚序号	GPIO	模拟功能 FO
59	GPIO46	ADC1_CHANNEL2_N
60	GPIO47	ADC1_CHANNEL2_P
61	GPIO48	ADC1_CHANNEL3_N
62	GPIO49	ADC1_CHANNEL3_P
65	GPIO50	ADC2_CHANNEL0_N
66	GPIO51	ADC2_CHANNEL0_P
67	GPIO52	ADC2_CHANNEL1_N
68	GPIO53	ADC2_CHANNEL1_P
69	GPIO54	ADC2_CHANNEL2_N
70	GPIO55	ADC2_CHANNEL2_P
71	GPIO56	ADC2_CHANNEL3_N
72	GPIO57	ADC2_CHANNEL3_P

- <sup>1</sup> **加粗**表示默认启动模式下的默认管脚功能。关于默认启动模式的更多信息，详见章节 [3.1 芯片启动模式控制](#)。
- <sup>2</sup> 由于模拟功能通过使用 GPIO 编号的 GPIO 寄存器配置，此列列出的是 GPIO 的名称。
- <sup>3</sup> **高亮**的单元格，详见章节 [2.3.4 GPIO 和 LP GPIO 的限制](#)。

### 2.3.4 GPIO 和 LP GPIO 的限制

ESP32-S31 的所有 IO 管脚都有 GPIO 功能，部分还具有 LP GPIO 功能。不过，这些 IO 管脚是多功能管脚，可以根据需求配置不同的功能，也有一些使用限制，需要特别注意。

本章节的表格中，部分管脚功能有 **高亮** 标记。推荐优先使用没有高亮的 GPIO 或 LP GPIO 管脚。如需更多管脚，请谨慎选择高亮的 GPIO 或 LP GPIO 管脚，避免与重要功能冲突。

高亮的 IO 管脚有以下重要功能：

- **GPIO** – 用于与 flash/PSRAM 通讯，不建议作其他用途。更多信息，详见章节 [2.6 芯片与 flash 的管脚对应关系](#)。
- **GPIO** – 具有以下重要功能之一：
  - **Strapping 管脚** – 启动时逻辑电平需为特定值。详见章节 [3 启动配置项](#)。

**说明：**

Strapping 管脚在管脚名称处高亮，而非管脚功能。

- **USB1P1\_P/N** – 默认情况下连接 USB 串口/JTAG 控制器。此类管脚需重新配置，方可用作 GPIO。
- **JTAG 接口** – 通常用于调试功能。详见表 [2-2 通过 IO MUX 连接的外设信号](#)。要释放这类管脚，可用 USB 串口/JTAG 控制器的 USB\_D+/- 功能代替。详见章节 [3.4 JTAG 信号源控制](#)。
- **UART 接口** – 通常用于调试功能。详见表 [2-2 通过 IO MUX 连接的外设信号](#)。

[附录 A – ESP32-S31 管脚总览](#) 也可参考。

## 2.4 模拟管脚

表 2-7. 模拟管脚

管脚序号	管脚名称	管脚类型	管脚功能
1	ANT	I/O	射频输入和输出
4	CHIP_PU	I	高电平：芯片使能（上电）； 低电平：芯片关闭（掉电）； 注意不能让 CHIP_PU 管脚浮空
18	VREF_TOUCH	I/O	TOUCH 参考电压
44	USB_DP	I/O	USB D+
45	USB_DM	I/O	USB D-
63	VREF_ADC	I/O	ADC 参考电压
78	XTAL_N	—	连接 ESP32-S31 有源晶振或无源晶振的外部 时钟输入/输出。有源晶振接 P，N 悬空
79	XTAL_P		

## 2.5 电源

### 2.5.1 电源管脚

表 2-8 电源管脚 列举了为芯片供电的电源管脚。

表 2-8. 电源管脚

管脚序号	管脚名称	方向	电源 <sup>1</sup>	
			电源域 / 其他 <sup>2</sup>	IO 管脚
2	VDDA3	输入	模拟电源域	
3	VDDA4	输入	模拟电源域	
11	VDDPST_1	输入	数字 LP 电源域	LP IO <sup>3</sup>
30	VDD_PSRAM_1P8_1	输入	PSRAM	PSRAM IO
34	VDD_PSRAM_1P8_2	输入	PSRAM	PSRAM IO
35	VDD_LDO_1P8	输出	PSRAM/FLASH/SD	PSRAM/FLASH/SD IO
39	VDD_SPI <sup>2</sup>	输入	FLASH	FLASH IO
		输出	FLASH	FLASH IO
43	VCCA/VDDPST_2	输入	USB_PHY/数字 HP 电源域	USB IO
54	VDDPST_3	输入	数字 HP 电源域	HP IO
64	VDDPST_4	输入	数字 HP 电源域	HP IO
77	VDDA1	输入	模拟电源域	
80	VDDA2	输入	模拟电源域	

<sup>1</sup> 请结合章节 2.5.2 电源管理 阅读。

<sup>2</sup> LP IO 管脚即由 VDDPST\_1 供电的管脚，如图 2-2 ESP32-S31 电源管理 所示，也可参考表 2-1 管脚概述 > 供电管脚一栏。

### 2.5.2 电源管理

电源管理如图 2-2 ESP32-S31 电源管理 所示。芯片上的元器件通过电压稳压器供电。

表 2-9. 电压稳压器

电压稳压器	输出	电源
HP_LDO+MEM_LDO+MEM_LDO_SLV	1.1 V	数字电源域
LP_LDO	1.1 V	LP 电源域
PSRAM	1.8 V	可配置为给封装内 PSRAM 或封装外存储器供电
FLASH	3.3 V	可配置为给封装内 flash 供电
SDIO	3.3V/1.8V	可配置为 SDIO 供电

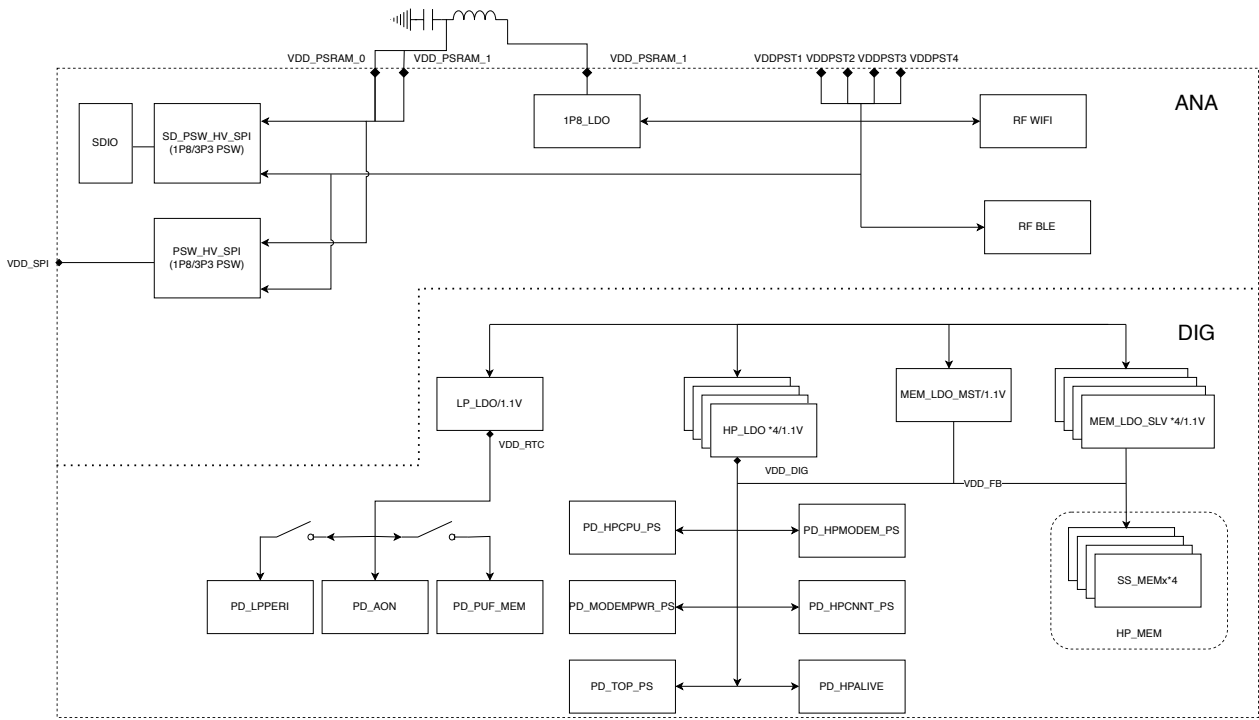


图 2-2. ESP32-S31 电源管理

### 2.5.3 芯片上电和复位

芯片上电后，其电源轨需要一点时间方可稳定。之后，用于上电和复位的管脚 CHIP\_PU 拉高，激活芯片。更多关于 CHIP\_PU 及上电和复位时序的信息，请见图 2-3 和表 2-10。

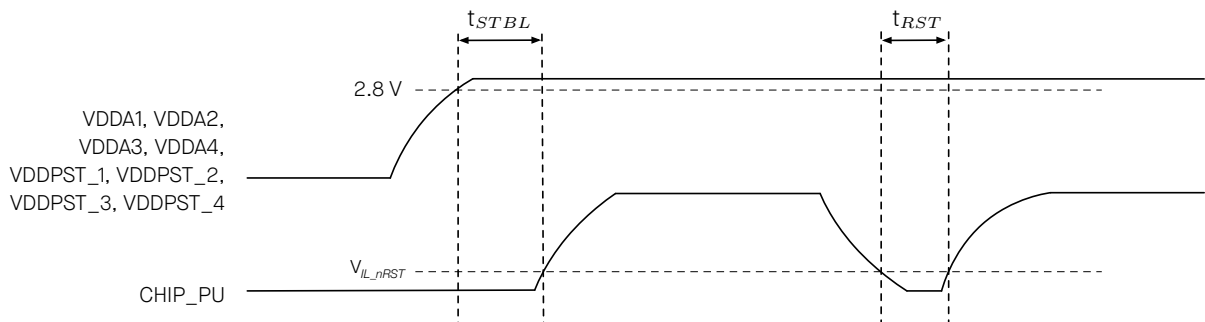


图 2-3. 上电和复位时序参数图

表 2-10. 上电和复位时序参数说明

参数	说明	最小值 (ms)
$t_{STBL}$	CHIP_PU 管脚拉高激活芯片前，VDDA1、VDDA2、VDDA3、VDDA4、VDDPST_1、VDDPST_2、VDDPST_3、VDDPST_4 达到稳定所需的时间	1
$t_{RST}$	CHIP_PU 电平低于 $V_{IL\_nRST}$ （具体数值参考表 5-3）从而复位芯片的时间	1

## 2.6 芯片与 flash 的管脚对应关系

ESP32-S31 需要配合封装外 flash 一起使用，用于存储应用的固件和数据。ESP32-S31 支持以 SPI、Dual SPI、Quad SPI/QPI 等接口模式连接 flash，最大可支持 256 MB flash。

ESP32-S31 内部封装了八线、1.8 V 工作电压的 PSRAM，但是 PSRAM 的管脚并没有引出芯片。

表 2-11 列出了所有 SPI 模式下芯片与 flash 的管脚对应关系。

更多关于 SPI 控制器的信息，可参考章节 4.2.2.2 [SPI 控制器 \(SPI\)](#)。

表 2-11. 芯片与封装外 flash 的管脚对应关系

管脚序号	管脚名称	Single SPI	Dual SPI	Quad SPI/QPI
27	SPICS	CS#	CS#	CS#
28	SPIQ	DO	DO	DO
29	SPIWP	WP#	WP#	WP#
31	SPIHD	HOLD#	HOLD#	HOLD#
32	SPICLK	CLK	CLK	CLK
33	SPID	DI	DI	DI

## 3 启动配置项

芯片在上电或硬件复位时，可以通过 **Strapping 管脚** 和 **eFuse 参数** 配置如下启动参数，无需微处理器的参与：

- **芯片启动模式**

- Strapping 管脚：GPIO60 和 GPIO61

- **ROM 日志打印**

- Strapping 管脚：GPIO60
- eFuse 参数：EFUSE\_UART\_PRINT\_CONTROL 和 EFUSE\_DIS\_USB\_SERIAL\_JTAG\_ROM\_PRINT

- **JTAG 信号源**

- Strapping 管脚：GPIO37
- eFuse 参数：EFUSE\_DIS\_PAD\_JTAG、EFUSE\_DIS\_USB\_JTAG 和 EFUSE\_JTAG\_SEL\_ENABLE

上述 eFuse 参数的默认值均为 0，也就是说没有烧写过。eFuse 只能烧写一次，一旦烧写为 1，便不能恢复为 0。

上述 strapping 管脚如果没有连接任何电路或连接的电路处于高阻抗状态，则其默认值（即逻辑电平值）取决于管脚内部弱上拉/下拉电阻在复位时的状态。

表 3-1. Strapping 管脚的默认配置

Strapping 管脚	默认配置	值
GPIO61	弱上拉	1
GPIO60	弱上拉	1

要改变 strapping 管脚的值，可以连接外部下拉/上拉电阻。如果 ESP32-S31 用作主机 MCU 的从设备，strapping 管脚的电平也可通过主机 MCU 控制。

所有 strapping 管脚都有锁存器。芯片复位时，锁存器采样并存储相应 strapping 管脚的值，一直保持到芯片掉电或关闭。锁存器的状态无法用其他方式更改。因此，strapping 管脚的值在芯片工作时一直可读取，strapping 管脚在芯片复位后作为普通 IO 管脚使用。

Strapping 管脚的信号时序需遵循表 3-2 和图 3-1 所示的建立时间和保持时间。

表 3-2. Strapping 管脚的时序参数说明

参数	说明	最小值 (ms)
$t_{SU}$	建立时间，即拉高 CHIP_PU 激活芯片前，电源轨达到稳定所需的时间	0
$t_H$	保持时间，即 CHIP_PU 已拉高、strapping 管脚变为普通 IO 管脚开始工作前，可读取 strapping 管脚值的时间	3

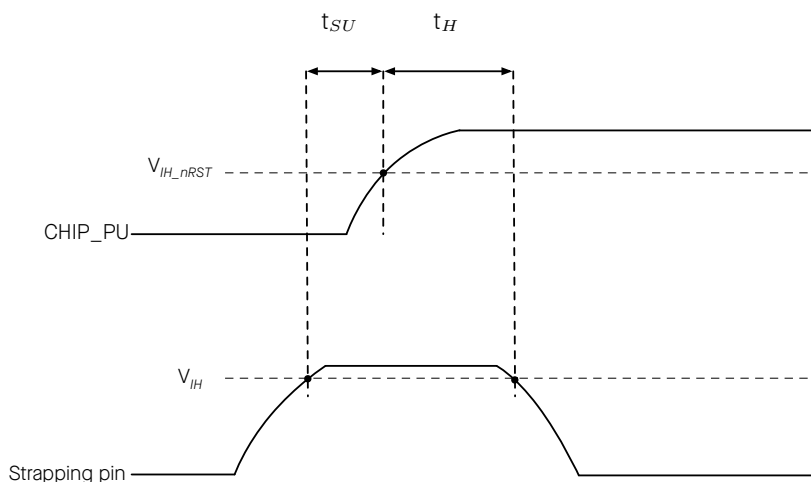


图 3-1. Strapping 管脚的时序参数图

### 3.1 芯片启动模式控制

复位释放后，GPIO60 和 GPIO61 共同决定启动模式。详见表 3-3 芯片启动模式控制。

表 3-3. 芯片启动模式控制

启动模式	GPIO61	GPIO60
<b>SPI boot 模式<sup>1</sup></b>	1	任意值
Joint download boot 模式 <sup>2</sup>	0	1

<sup>1</sup> 加粗表示默认值和默认配置。

<sup>2</sup> Joint Download Boot 模式下支持以下下载方式：

- USB-Serial-JTAG Download Boot
- USB-OTG Download Boot
- UART Download Boot
- GPSPI Download Boot

除了 SPI Boot 和 Joint Download Boot 模式，ESP32-S31 还支持 SPI Download Boot 模式。

### 3.2 安全调试控制器 (SDC)

ESP32-S31 系列芯片首次支持安全调试控制器 (Secure Debug Controller, SDC)。

在同时满足以下条件时，芯片在 Joint Download Boot 模式下支持 SDC 相关命令：

- 芯片已进入 [Joint download boot 模式](#)
- 已烧写 eFuse 位 EFUSE\_RMA\_ENA

**说明：**SDC 相关能力不受 eFuse 位 EFUSE\_DIS\_DOWNLOAD\_MODE 和 EFUSE\_ENABLE\_SECURE\_DOWNLOAD 的限制。

使用 SDC 前，须先完成 eFuse 与证书配置：

1. 将 SDC 公钥哈希烧写入 eFuse；

2. 在 Joint Download Boot 模式下，通过 esptool 向芯片传输 SDC 证书；ROM 在硬件层完成证书校验。

证书校验通过后，ROM 将在硬件层临时开启以下调试能力（即使相应 eFuse 已烧写为禁用）：

- 软件 JTAG：即使已烧写 EFUSE\_SOFT\_DIS\_JTAG
- Download 模式：即使已烧写 EFUSE\_DIS\_DOWNLOAD\_MODE
- 强制进入 SPI Boot 模式，用于应用软件调试

上述 SDC 授权状态仅在本次运行期间有效。上电复位后，校验结果将被清除；若需再次调试，须重新完成证书传输与校验。

### 3.3 ROM 日志打印控制

系统启动过程中，ROM 代码日志可打印至：

- (默认) UART0 和 USB 串口/JTAG 控制器
- USB 串口/JTAG 控制器
- UART0

EFUSE\_UART\_PRINT\_CONTROL 和 GPIO60 控制 **UART0** ROM 日志打印，如表 3-4 *UART0 ROM 日志打印控制* 所示。

表 3-4. UART0 ROM 日志打印控制

UART0 ROM 日志打印	EFUSE_UART_PRINT_CONTROL	GPIO60
使能	0	忽略
	1	0
	2	1
关闭	1	1
	2	0
	3	忽略

<sup>1</sup> 加粗表示默认值和默认配置。

EFUSE\_DIS\_USB\_SERIAL\_JTAG\_ROM\_PRINT 控制 **USB 串口/JTAG 控制器** ROM 日志打印，如表 3-5 *USB 串口/JTAG ROM 日志打印控制* 所示。

表 3-5. USB 串口/JTAG ROM 日志打印控制

USB 串口/JTAG ROM 日志打印控制	EFUSE_DIS_USB_SERIAL_JTAG_ROM_PRINT
使能	0
关闭	1

<sup>1</sup> 加粗表示默认值和默认配置。

### 3.4 JTAG 信号源控制

在系统启动早期阶段，GPIO37 可用于控制 JTAG 信号源。该管脚没有内部上下拉电阻，strapping 的值必须由不处于高阻抗状态的外部电路控制。

如表 3-6 JTAG 信号源控制 所示,GPIO37 与 EFUSE\_DIS\_PAD\_JTAG、EFUSE\_DIS\_USB\_JTAG 和 EFUSE\_JTAG\_SEL\_ENABLE 共同控制 JTAG 信号源。

表 3-6. JTAG 信号源控制

JTAG 信号源	EFUSE_DIS_PAD_JTAG	EFUSE_DIS_USB_JTAG	EFUSE_JTAG_SEL_ENABLE	GPIO37
USB 串口/JTAG 控制器	<b>0</b>	<b>0</b>	<b>0</b>	忽略
	0	0	1	1
	1	0	忽略	忽略
JTAG 管脚 <sup>2</sup>	0	0	1	0
	0	1	忽略	忽略
JTAG 关闭	1	1	忽略	忽略

<sup>1</sup> 加粗表示默认值和默认配置。

<sup>2</sup> 即 MTDI、MTCK、MTMS 和 MTDO。

## 4 功能描述

### 4.1 系统

本章节描述了芯片操作的核心部分，包括微处理器、存储器组织结构、系统组件和安全功能。

#### 4.1.1 微处理器和主控

本章节描述了芯片内的核心处理单元及其功能。

##### 4.1.1.1 高性能处理器

ESP32-S31 搭载一个高性能 RISC-V 32 位双核处理器。

#### 特性

- 五级流水线架构，支持 320 MHz 的时钟频率
- [RV32IMAFC ISA](#) ISA (指令集架构)
- 支持 Zc 扩展 (Zcb, Zcmp, Zcmt)
- 支持 Zb 扩展
- 支持自定义 AI 与 DSP 扩展 (XespV)
- 支持自定义硬件循环指令 (XespLoop)
- 兼容 RISC-V Sv32 虚拟内存机制
- 兼容 RISC-V 处理器核局部中断 (CLINT)
- 兼容 RISC-V 处理器核局部中断控制器 (CLIC)
- 支持分支预测功能 BHT, BTB 与 RAS
- 支持最多 4 个硬件断点/观察点
- 支持最多 32 个 PMP 区域和 16 个 PMA 区域
- 支持三个特权模式：机器模式, 监管模式和用户模式
- 用于调试的 USB/JTAG 接口
- 兼容 RISC-V 调试规范 v0.13
- 支持与 RISC-V Trace 规范 v2.0 兼容的 trace 离线调试

##### 4.1.1.2 RISC-V 追踪编码器 (TRACE)

ESP32-S31 芯片中的 RISC-V 追踪编码器提供了一种从高性能 CPU 执行过程中捕获详细追踪信息的方法，以便对系统进行更深入的分析 and 优化。它连接到 HP CPU 的指令追踪接口，并将信息压缩成较小的数据包，然后存储在内部 SRAM 中。

**特性**

- 兼容 Efficient Trace for RISC-V v2.0 (RISC-V 高效追踪规范 v2.0)
- 支持增量地址模式和完整地址模式
- 支持过滤器
- 支持通过调试触发器或过滤器报告指令地址
- 支持下列边带信号 (sideband signals) 控制追踪数据流
  - 调试触发器启动或关闭编码器
  - hart 暂停时, 编码器在报告最后一个数据包后停止工作
  - hart 复位后, 编码器在报告最后一个数据包后停止工作
  - FIFO 即将变满时暂停 hart
- 支持任意地址范围用作追踪存储器
- 可配置同步模式:
  - 同步计数器按包计数
  - 同步计数器按周期计数
  - 关闭同步计数器
- 支持丢包状态标识
- 支持丢包后自动重启
- 写追踪存储器时支持循环和非循环模式
- 具有两个中断:
  - 包的大小超过配置的存储器空间时触发中断
  - 丢包时触发中断
- 具有 128 × 8 位 FIFO, 用于缓存数据包
- 支持 AHB 突发传输, 突发长度可配置

**4.1.1.3 低功耗处理器**

ESP32-S31 搭载一个低功耗 RISC-V 32 位单核处理器。LP CPU 可以用于在正常工作模式下协助 HP CPU, 也可以用于在系统休眠时代替 HP CPU 来执行任务。LP CPU 和 LP 存储器在 Deep-sleep 模式下仍保持工作状态。因此, 开发者可以将 LP CPU 的程序存放在 LP 存储器中, 使其能够在 Deep-sleep 模式下访问 LP IO、LP 外设、Real-Time 定时器。

**特性**

- 二级流水线架构, 支持最高 40 MHz 的时钟频率
- [RV32IMAC](#) ISA (指令集架构)
- 支持 18 个向量中断
- 调试模块 (DM) 符合 RISC-V 调试规范 v0.13, 支持通过行业标准的 JTAG/USB 端口连接外部调试器

- 硬件触发器符合 RISC-V 调试规范 v0.13，具有 2 个断点/观察点
- 支持核心性能指标事件
- 可唤醒 HP CPU 或向 HP CPU 发送中断
- 可访问 HP 存储器和 LP 存储器
- 可访问所有外设空间

## 4.1.2 系统 DMA

本章节描述了芯片的系统 DMA。

### 4.1.2.1 通用 DMA 控制器 (GDMA-AHB, GDMA-AXI)

通用直接存储访问 (General Direct Memory Access, GDMA) 用于在外设与存储器之间以及存储器与存储器之间提供高速数据传输。软件可以在无需 CPU 干预的情况下通过 GDMA 快速搬移数据，从而降低了 CPU 的工作负载，提高了效率。

ESP32-S31 的 GDMA 控制器有两种，分别可以直接访问 AHB 或 AXI 总线，以下简称为 GDMA-AHB 和 GDMA-AXI。GDMA-AHB 在 HP 和 LP 侧各放了一个。

#### 特性

- 架构:
  - GDMA-AHB: AHB 总线架构
  - GDMA-AXI: AXI 总线架构, 支持深度为 8 的乱序传输 (out of order) 和深度为 8 的挂起传输 (outstanding 传输)
- 数据传输以字节为单位，传输数据量可软件编程
- 支持任意地址和大小 (size) 访问
- 对齐要求:
  - GDMA-AHB:
    - \* 描述符存储地址: 字对齐
    - \* 数据地址和长度:
      - 内部存储器和外部存储器的非加密空间: 无要求
      - 外部存储器的加密空间: 16 字节对齐
  - GDMA-AXI:
    - \* 描述符存储地址: 双字对齐
    - \* 数据地址和长度:
      - 内部存储器和外部存储器的非加密空间: 无要求
      - 外部存储器的加密空间: 16 字节对齐
- 支持链表
- GDMA-AHB 访问存储器时，支持 INCR4/8/16 突发传输

- HP 侧的 GDMA-AHB 有 5 个传输通道和 5 个接收通道；LP 侧的 GDMA-AHB 有 2 个传输通道和 2 个接收通道
- 任一通道支持可配置的外设选择
- 支持通道间优先级和权重仲裁配置
- 支持存储搬运功能
- 支持链表切换中断响应机制（仅 GDMA-AXI 支持）

#### 4.1.2.2 2D-DMA 控制器 (2D-DMA)

2D-DMA 控制器是专用于二维图像处理的 DMA, 在支持 GDMA-AXI 的全部功能基础上, 增加了宏块重排 (Reorder) 和颜色空间转换 (Color Space Convert: CSC) 功能, 能够更好地支持 JPEG 和 PPA 外设的数据传输需求。2D-DMA 支持存储器到存储器的传输, 可以将宏块从存储器的一段地址空间搬运到另一段地址空间, 并完成颜色空间转换。

##### 特性

- 1 个 AXI 主机接口
- 支持首地址非对齐的数据传输
- 支持存储到存储、外设到存储 (RX)、以及存储到外设 (TX) 的数据传输
- 包含 4 个存储到外设通道, 3 个外设到存储通道
- 支持 PPA 和 JPEG 图像编解码器外设
- 支持宏块重排序功能
- 支持颜色空间转换功能
- 支持通道优先级、权重配置

#### 4.1.3 存储器组织结构

本章节描述了存储器布局, 解释数据的存储、访问和管理方式, 以实现高效的操作。

ESP32-S31 的地址映射结构如图 4-1 所示。

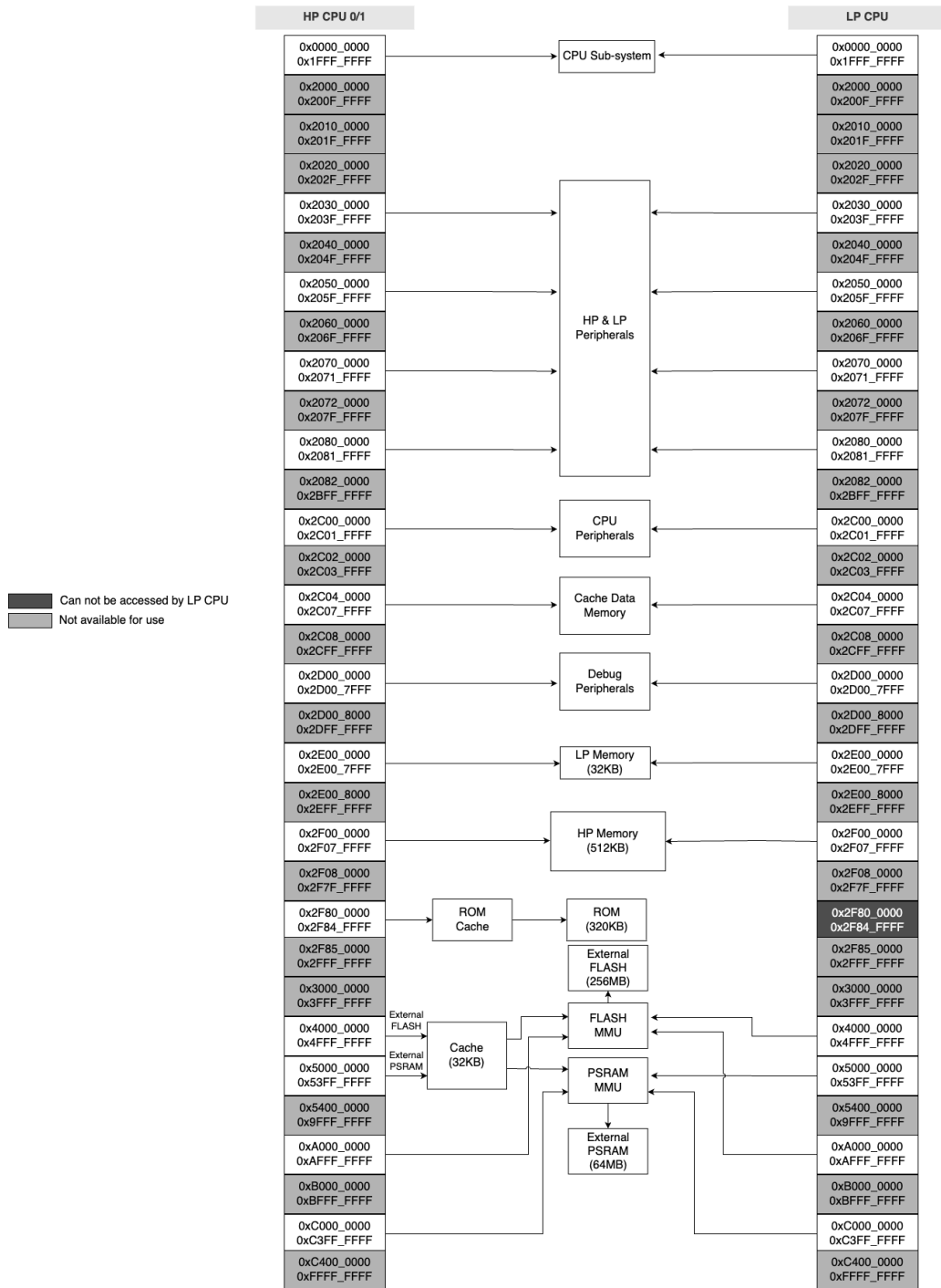


图 4-1. 地址映射结构

### 4.1.3.1 内部存储器

ESP32-S31 的内部存储器即集成于芯片晶圆上或封装内部的存储器，包括 ROM、SRAM、eFuse 和 flash。

#### 特性

- 320 KB 的 ROM，用于程序启动和内核功能调用
- 512 KB 的 SRAM，用于数据和指令存储
- 32 KB 的低功耗 SRAM (LP SRAM)，可被 HP CPU 或 LP CPU 访问，在 Deep-sleep 模式下可以保存数据

- 4 Kbit 的 eFuse 存储器，其中用户最多可用 1536 位

### 4.1.3.2 外部存储器

ESP32-S31 支持以 SPI、Dual SPI、Quad SPI、QPI 等接口形式连接 flash 和 PSRAM。

CPU 的指令空间、数据空间可以映射到外部 flash 和 PSRAM，外部 flash 可以最大支持 256 MB，PSRAM 可以最大支持 64 MB。ESP32-S31 支持基于 XTS-AES 的硬件加解密功能，从而保护开发者 flash 和 PSRAM 中的程序和数据。

#### 特性

- flash 256 MB 的指令空间以 256 KB 的块映射到外部 flash，PSRAM 64 MB 的指令空间以 64 KB 的块映射到外部 PSRAM，都支持 32 位取指
- flash 256 MB 的数据空间以 256 KB 的块映射到外部 flash，PSRAM 64 MB 的数据空间以 64 KB 的块映射到外部 PSRAM，外部 flash 支持 8 位、16 位和 32 位读取；PSRAM 支持 8 位、16 位和 32 位读写

#### 说明：

ESP32-S31 芯片启动完成后，软件可以自定义外部 flash 和 PSRAM 到 CPU 地址空间的映射。

### 4.1.3.3 eFuse 控制器 (eFuse)

eFuse 存储器是只可编程一次的存储器，用于存储参数内容和用户数据。ESP32-S31 芯片的 eFuse 控制器用于烧写和读取 eFuse 存储器。

#### 特性

- 4 Kbit 总存储空间，最多有 1536 位可供用户使用（取决于 key\_purpose 配置），如存储加密密钥、用户 ID 等
- 一次性可编程存储
- 烧写保护可配置
- 读取保护可配置
- 多种硬件编码方式保护参数内容

### 4.1.3.4 Cache

ESP32-S31 采用每个 CPU（Core0 和 Core1）私有指令 cache，两个 CPU 共享数据 cache 的结构。

#### 特性

- L1 指令 cache 的大小为 32 KB，块大小为 64 B，两路组相联
- L1 数据 cache 的大小为 64 KB，块大小为 64 B，两路组相联，支持 write-through 和 write-back 两种写策略
- 支持 cacheable 和 non-cacheable 访问
- 支持 pre-load 功能

- 支持 lock 功能
- 支持关键字优先 (critical word first) 和提前重启 (early restart)

#### 4.1.4 系统组件

本章节描述了对系统的整体功能和控制起到重要作用的组件。

##### 4.1.4.1 GPIO 交换矩阵和 IO MUX

ESP32-S31 共有 60 个 GPIO 管脚，其中包括 8 个低功耗 (LP) GPIO 管脚和 52 个高性能 (HP) GPIO 管脚。每个管脚都可用作一个通用 IO，或连接一个内部的外设信号。

- 利用 HP GPIO 交换矩阵和 HP IO MUX，可配置 HP 外设模块的输入信号来源于任何的 GPIO 管脚，并且 HP 外设模块的输出信号也可连接到任意 GPIO 管脚。
- 利用 LP GPIO 交换矩阵和 LP IO MUX，可配置 LP 外设模块的输入信号来源于任何的 LP GPIO 管脚，并且 LP 外设模块的输出信号也可连接到任意 LP GPIO 管脚。

这些模块共同组成了芯片的 GPIO 控制。上述 60 个 GPIO 管脚的编号为：GPIO0~GPIO28, GPIO30~GPIO40, GPIO42~GPIO61。

- GPIO 管脚 0 ~ 7 为 LP GPIO 管脚，可由 HP 或 LP 外设使用。
- GPIO 管脚 8 ~ 28, 30 ~ 40, 42 ~ 61 为 HP GPIO 管脚，只能由 HP 外设使用。

#### 特性

##### HP GPIO 交换矩阵具有以下特性：

- HP 外设输入输出信号和 GPIO 管脚之间的全交换矩阵
- 243 个 HP 外设输入信号可以选择任意一个 GPIO 管脚的输入信号
- 每个 GPIO 管脚的输出信号可以来自 247 个 HP 外设输出信号的任意一个
- HP 外设输入信号经 GPIO SYNC 模块同步至 HP IO MUX 运行时钟
- 支持 GPIO 滤波器对输入信号进行滤波
- 支持毛刺滤波器对输入信号进行二次滤波
- 支持 Sigma Delta 调制输出 (SDM)
- 支持 GPIO 简单输入输出
- 支持 HP GPIO 唤醒

##### HP IO MUX 具有以下特性：

- 控制 60 个 GPIO (GPIO0~GPIO28, GPIO30~GPIO40, GPIO42~GPIO61) 供 HP 外设使用
- 为每个 GPIO 管脚提供一个寄存器，用于控制管脚的输入/输出、上拉/下拉、驱动强度、功能选择等配置
- 支持高频信号如 SPI、EMAC 等直接通过 HP IO MUX 输入和输出外设，实现更好的高频数字特性

##### LP GPIO 交换矩阵具有如下特性：

- LP 外设输入输出信号和 LP GPIO 管脚之间的全交换矩阵
- 9 个 LP 外设输入信号可以选择任意一个 LP GPIO 管脚的输入信号

- 每个 LP GPIO 管脚的输出信号可以来自 26 个 LP 外设输出信号的任意一个
- 支持 GPIO 滤波器对输入信号进行滤波
- 支持 GPIO 简单输入输出
- 支持 LP GPIO 唤醒

#### LP IO MUX 具有如下特性:

- 8 个 LP GPIO 管脚 (GPIO0~GPIO7) 供 LP 外设使用
- 为每个 LP GPIO 管脚提供一个寄存器, 用于控制管脚的输入/输出、上拉/下拉、驱动强度、功能选择、IO MUX 选择等配置

### 4.1.4.2 复位

ESP32-S31 提供四级级别的复位方式, 分别是 CPU 复位 (CPU reset)、内核复位 (Core reset)、系统复位 (System reset) 和芯片复位 (Chip reset)。除芯片复位外, 其他复位方式不影响片上内存存储的数据。

- 支持四种复位等级:
  - CPU 复位: 复位 CPU 核, HP CPU0、HP CPU1、LP CPU 各有一套独立复位。其中:
    - \* HP CPU0 上电后会自动释放复位;
    - \* HP CPU1 上电后默认处于复位状态, 需要手动释放复位;
    - \* LP CPU 上电后处于复位状态, 需要配置 PMU 释放。
  - 内核复位: 包括 HP 以及 LP 的内核复位, 复位除 LP AON 以外的其他数字系统。HP 内核复位包括 HP CPU0、HP CPU1、HP 外设、HP GPIO 等, LP 内核复位包括 LP CPU、LP 外设等;
  - 系统复位: 复位包括低功耗系统在内的整个数字系统;
  - 芯片复位: 复位整个芯片。
- 支持软件复位和硬件复位:
  - 软件复位: CPU 配置相关寄存器可触发软件复位;
  - 硬件复位: 硬件复位直接由硬件电路触发。

### 4.1.4.3 时钟

ESP32-S31 的时钟主要来源于振荡器 (oscillator, OSC, 包括 RC 振荡电路)、晶振 (XTAL) 和 PLL 时钟生成电路。上述时钟源产生的时钟经时钟分频器或时钟选择器等时钟模块的处理, 使得大部分功能模块可以根据不同功耗和性能需求来获取及选择对应频率的工作时钟。

ESP32-S31 的时钟根据频率不同, 可分为:

- 高性能时钟, 主要为 HP CPU0/1 和 HP 数字外设提供工作时钟
  - BBPLL\_CLK: 480 MHz 内部 PLL 时钟 (参考时钟是 XTAL\_CLK)
  - CPLL\_CLK: 320 MHz 内部 PLL 时钟 (参考时钟是 XTAL\_CLK)
  - MPLL\_CLK: 500 MHz 内部 PLL 时钟 (参考时钟是 XTAL\_CLK)
  - APLL\_CLK: 120 MHz 内部 PLL 时钟 (参考时钟是 XTAL\_CLK)

- XTALX2\_CLK: 80 MHz 时钟 (参考时钟是 XTAL\_CLK), 在 PLL 未开时为 HP 提供较高速时钟
- 低功耗时钟, 主要为低功耗系统以及部分处于低功耗模式的外设提供工作时钟
  - XTAL32K\_CLK: 32 kHz 外部晶振时钟
  - RC\_SLOW\_CLK: 内置慢速 RC 振荡器, 频率可调节 (通常为 150 kHz)
  - EXT32K\_CLK: 来自 PAD 上的时钟, 通常频率为 32 kHz, 精度度不高
  - XTAL\_CLK: 40 MHz 外部晶振时钟
  - RC\_FAST\_CLK: 内置快速 RC 振荡器时钟, 频率可调节 (默认为 17.48 MHz)

#### 4.1.4.4 中断矩阵

ESP32-S31 芯片的中断矩阵用于将外设和事件生成的中断请求映射到 CPU 中断。

##### 特性

- 接收 155 个外部中断源作为输入
- 生成 32 个 CPU 的外部中断作为输出
- 支持查询外部中断源当前的中断状态
- 支持将多个中断源映射到单个 CPU 中断 (即共享中断)
- 支持中断委托 (低层级中断可以重映射到更高级别模式让 CPU 处理):
  - 支持 User Mode 等级中断重映射到 Supervisor Mode
  - 支持 User Mode 等级中断重映射到 Machine Mode
  - 支持 Supervisor Mode 等级中断重映射到 Machine Mode
  - 支持中断委托配置错误检测

#### 4.1.4.5 事件任务矩阵

事件任务矩阵 (ETM) 外设包含 50 个可配置通道。每个通道可以将任意指定外设的事件映射到任意指定外设的任务, 从而触发外设执行指定任务, 无需 CPU 干预。

##### 特性

- 支持从多个外设接收多种事件
- 支持为多个外设生成多种任务
- 拥有 50 个可独立配置的 ETM 通道
- 每个通道接收到的事件可以是所有事件中的任意一个, 每个通道接收到的事件可以映射到任意的任务上输出
- 每个 ETM 通道都可以独立使能。当通道未使能时, 它不会响应所配置的事件, 也不会生成要映射到的任务
- 支持查看每个事件和任务的触发状态

- 能够产生事件、接收任务的外设有：GPIO、LED PWM、通用定时器、RTC 定时器、系统定时器、MCPWM、温度传感器、ADC、I2S、LP CPU、GDMA-AHB、GDMA-AXI、2D DMA 和 PMU

#### 4.1.4.6 电源管理单元

ESP32-S31 具有先进的电源管理单元 (PMU)，可以灵活地为芯片的不同电源域供电，实现芯片性能、功耗和唤醒延迟之间的最佳平衡。

ESP32-S31 的 LP CPU 使得芯片能够在大多数电源域关闭的 Deep-sleep 模式下运行，从而实现极低的功耗。

配置 PMU 的程序较为复杂。为针对典型场景简化电源管理，ESP32-S31 具有以下**预设功耗模式**，可给不同电源域组合供电：

- **Active 模式** – HP CPU、RF 电路和所有外设均上电。芯片可以处理数据、接收、发射和侦听信号。
- **Modem-sleep 模式** – HP CPU 上电，可降低时钟频率。RF 电路在需要时间歇性开启，因此无线可保持连接。
- **Light-sleep 模式** – HP CPU 停止工作，可选择上电。LP 外设及 LP CPU 可由定时器间歇性唤醒，芯片可由所有唤醒机制唤醒，包括 MAC、RTC 定时器或外部中断。无线可保持连接。部分数字外设可选择关闭。
- **Deep-sleep 模式** – 仅 LP 系统上电。无线连接数据存储在 LP 存储器中。

#### 4.1.4.7 系统定时器

ESP32-S31 芯片中的系统定时器 (SYSTIMER) 是一个 52 位定时器，可用于为操作系统生成滴答中断，或作为通用定时器生成周期性或一次性中断。

##### 特性

- 两个 52 位计数器和三个 52 位报警比较器
- 时钟计数器的频率平均为 16 MHz
- 三个报警比较器根据不同的报警值可产生三个独立的中断
- 两种报警模式：单次报警模式和周期报警模式
- 支持 52 位报警值和 26 位报警周期
- 计数器值重新加载
- 支持当 CPU 暂停或处于 OCD 模式时，时钟计数器也暂停
- 支持输出实时报警的事件 (event)

#### 4.1.4.8 定时器组 (TIMG)

ESP32-S31 芯片中的定时器组 (TIMG) 可用于准确设定时间间隔、在一定间隔后触发（周期或非周期的）中断或充当硬件时钟。ESP32-S31 有 TIMG0 和 TIMG1 两个定时器组，每个定时器组包含一个通用定时器和一个主系统看门狗定时器。

##### 特性

- 16 位预分频器

- 54 位时基计数器，可配置成递增或递减
- 实时读取时基计数器的值
- 暂停和恢复时基计数器
- 可配置的报警生成机制
- 定时器值重新加载（报警时自动重新加载或软件控制即时重新加载）
- TIMGO 定时器组慢速时钟频率计算
- 电平触发中断
- 支持输出实时报警事件
- 支持多个 ETM 任务和事件

#### 4.1.4.9 看门狗定时器 (WDT)

ESP32-S31 中有三个数字看门狗定时器：两个定时器组中各有一个主系统看门狗定时器，缩写为 MWDT，LP 系统中有一个 RTC 看门狗定时器，缩写为 RWDT。

在 SPI Boot 模式下，RWDT 和定时器组 0 的 MWDT 会默认使能，以检测引导过程中发生的错误，并恢复运行。

ESP32-S31 中还有一个模拟看门狗定时器——超级看门狗 (SWD)。超级看门狗是模拟域的超低功耗电路，可以防止系统在数字电路异常状态下运行，并在必要时复位系统。

#### 特性

- 四个阶段，每个阶段都可配置超时时间和超时动作
- 超时动作
  - MWDT：中断、HP CPU 复位、HP 内核复位
  - RWDT：中断、HP CPU 复位、HP 内核复位、系统复位
- 阶段 0 flash 启动保护（SPI Boot 模式）：
  - MWDT0：超时触发 HP 内核复位
  - RWDT：超时触发系统复位
- 写保护，使能时寄存器仅可读取
- 32 位超时计数器
- 时钟源：
  - MWDT：PLL\_F80M\_CLK、RC\_FAST\_CLK 或 XTAL\_CLK
  - RWDT：LP\_DYN\_SLOW\_CLK

#### 4.1.4.10 实时时钟定时器

RTC Timer 是实现 ESP32-S31 低功耗管理的一个重要模块。RTC Timer 是一个 48 位的可读计时器，主要作用是在低功耗模式下，当 HP 系统中的定时器外设不可用时，继续为系统提供定时器服务。同时还支持配置定时器中断、记录系统中特定事件发生的时刻。

## 特性

- 48 位的计时器
- 触发特定事件时可记录事件发生的时刻，支持的特定事件有：
  - HP 系统复位
  - CPU 进入 stall 状态
  - CPU 退出 stall 状态
  - 晶振时钟开启
  - 晶振时钟关闭
- 通过配置寄存器触发 RTC Timer 记录当前时间
- 支持缓存最近两次特定事件的发生的时间
- 支持在目标时刻产生中断，目标时刻可配置，可同时配置两个目标时刻
- 除 LP 系统上电复位外的其余任何复位/睡眠均不会使 RTC Timer 停止或复位
- 支持计数器 Tick 触发 sys timer 锁定时间

### 4.1.4.11 权限控制 (PMS)

ESP32-S31 中的权限控制模块负责管理对内存和外设寄存器的访问权限。它由两部分组成：PMP（物理存储器保护）和 APM（访问权限管理）。

## 特性

- 对 ROM、HP 内存、HP 外设和 LP 外设地址空间的访问权限管理
- APM 支持每个主机（如 DMA）在四种安全模式中选择一种
- 支持最多 32 个地址范围的访问权限配置
- 支持对每个外设寄存器进行单独的权限配置
- 中断功能和异常信息记录

### 4.1.4.12 系统寄存器

ESP32-S31 芯片中的系统寄存器用于配置多种辅助芯片功能。

## 特性

- 控制外部内存加密
- 控制 HP/LP 核心调试
- 控制总线超时保护
- 软件中断
- Memory 电源管理
- 时钟控制

- PAD BIST 控制

#### 4.1.4.13 辅助调试

辅助调试可以帮助在软件调试过程中定位错误和问题，提供各种监视能力和日志记录功能，以帮助高效地识别和解决软件错误。

##### 特性

- **区域读写监测**：监测一个高性能双核处理器（High-Performance CPU，HP CPU0 和 HP CPU1）总线在限定存储器地址范围内的读写操作，若发生读写操作则触发中断。
- **栈指针 (SP) 监测**：监测栈指针是否超出限定范围，若超出则产生中断。
- **程序计数器 (PC) 记录**：记录 PC 值，以获取上一次 HP CPU $n$ （以下， $n=0, 1$ ）复位时的 PC 值。
- **核心锁定 (lockup) 监测**：监测 HP CPU $n$  是否发生核心锁定 (lockup)，并记录第一次异常发生时的异常原因 (cause)、异常陷阱值 (tval)、指令 PC (iaddr) 和当前特权级别 (priv)。
- **总线访问记录**：记录总线访问信息，当 HP CPU $n$  或 DMA 写入特定值时，记录此次写操作的总线类型、地址和 PC 值（仅记录 HP CPU $n$  写操作的 PC），并将信息存储到 HP SRAM 中。

#### 4.1.4.14 LP 信箱控制器

ESP32-S31 包含一个 LP 信箱控制器模块，旨在通过硬件机制以实现 LP CPU 和 HP CPU0/1 之间高效的核间通信。LP 信箱控制器模块中包含 16 个 32 位信息寄存器可供 LP CPU 和 HP CPU0/1 存储并传递信息，并通过中断机制实现 LP CPU 和 HP CPU0/1 之间的核间通信。

##### 特性

- 支持多达 16 个 32 位信息寄存器用于核间通信
- 支持 LP CPU 外部中断信号
- 支持 HP CPU0/1 外部中断信号

#### 4.1.4.15 欠压监测器

ESP32-S31 的欠压检测器可以检查管脚 VDDPST 的电压，在电压快速下落至预设阈值（默认为 2.4 V）以下时发出触发信号，并进行相应处理，从而关闭部分耗电模块（主要是 flash 模块），为数字模块争取更多时间，用以保存、转移重要数据。

##### 特性

- 支持 VDDPST 管脚检测
- 支持两种检测模式
  - 模式 0：当欠压计数器达到设定的阈值后触发中断，并根据配置选择复位方式
  - 模式 1：欠压发生后直接触发系统复位
- 支持监控阈值与噪声过滤的配置

## 4.1.5 加密和安全组件

本章节描述了集成在芯片中用于保护数据和操作的安全功能。

### 4.1.5.1 AES 加速器 (AES)

ESP32-S31 内置 AES（高级加密标准）硬件加速器可使用 AES 算法，完成数据的加解密运算，具有 typical AES 和 DMA-AES 两种工作模式。整体而言，相比基于纯软件的 AES 运算，AES 硬件加速器能够极大地提高运算速度。另外，ESP32-S31 AES 加速器包含可配置的抗旁路攻击 (anti-DPA) 功能，提供了高安全性。

#### 特性

- Typical AES 工作模式
  - AES-128/AES-256 加解密运算，符合标准 [NIST FIPS 197](#)
- DMA-AES 工作模式
  - AES-128/AES-256 加解密运算，符合标准 [NIST FIPS 197](#)
  - 块（加密）模式，符合标准 [NIST SP 800-38A](#)
    - \* ECB (Electronic Codebook)
    - \* CBC (Cipher Block Chaining)
    - \* OFB (Output Feedback)
    - \* CTR (Counter)
    - \* CFB8 (8-bit Cipher Feedback)
    - \* CFB128 (128-bit Cipher Feedback)
  - 伽罗瓦/计数器模式 (Galois/Counter Mode, GCM)
  - 中断发生
- 可配置的抗旁路攻击 (anti-DPA) 功能

### 4.1.5.2 ECC 加速器 (ECC)

椭圆曲线密码学 (Elliptic Curve Cryptography) 是一种基于椭圆曲线数学的公开密钥加密演算法，其优势在于相对于 RSA 算法，使用较小长度的密钥就能够提供相当等级的加密安全性。

ESP32-S31 ECC 硬件加速器支持对于可选曲线的多种基础运算，用以实现对 ECC 基本运算、衍生算法（如 ECDSA 等算法）的加速。

#### 特性

- 支持三种可选 ECC 曲线，即 [FIPS 186-3](#) 中定义的 P-192、P-256 和 P-384
- 支持国密 SM2 算法（具体定义见 [SM2 椭圆曲线公钥密码算法](#)）
- 提供两种可选坐标系，即仿射坐标系和 Jacobian 坐标系
- 提供多种可选点运算，包含点加、点乘和点验证
- 提供基于曲线阶数或模数的多种可选模运算，包含模加、模减、模乘、模除

- 提供计算完成的中断和中断控制
- 支持安全工作模式，进行固定时间的点乘运算

#### 4.1.5.3 HMAC 加速器 (HMAC)

HMAC 加速器 (HMAC) 模块用于使用 SHA-256 哈希算法和 RFC 2104 中描述的密钥计算信息认证码 (MAC)。它提供了硬件支持的 HMAC 计算，显著降低了软件复杂性，提高了性能。

##### 特性

- 使用标准 HMAC-SHA-256 算法
- 仅支持可配的硬件外设访问 HMAC 计算的 hash 结果（下行模式）
- 兼容挑战-应答身份验证算法
- 支持生成数字签名外设所需的密钥（下行模式）
- 重启软禁用的 JTAG（下行模式）

#### 4.1.5.4 RSA 加速器 (RSA)

RSA 加速器可为多种运用于“RSA 非对称式加密演算法”的高精度计算提供硬件支持，能够极大地降低此类运算的运行时间和软件复杂度。与纯软件 RSA 算法相比，硬件 RSA 加速器的运算速度更快。RSA 加速器还支持多种“运算子长度”，具有很高的灵活性。

##### 特性

- 大数模幂运算（支持两个加速选项）
- 大数模乘运算，最大可达 4096 位
- 大数乘法运算，运算子最大可达 2048 位
- 多种运算子长度
- 支持在运算完成后触发中断

#### 4.1.5.5 SHA 加速器 (SHA)

SHA（安全哈希算法）硬件加速器可完成 SHA 运算，具有典型 SHA 和 DMA-SHA 两种工作模式。相比基于纯软件的 SHA 运算，SHA 硬件加速器能够极大地提高运算速度。

##### 特性

- 支持 [FIPS PUB 180-4](#) 中的以下运算标准
  - SHA-1 运算
  - SHA-224 运算
  - SHA-256 运算
  - SHA-384 运算
  - SHA-512 运算

- SHA-512/224 运算
- SHA-512/256 运算
- SHA-512/t 运算
- 支持 [SM3 密码杂凑算法](#)
- 提供两种工作模式
  - 典型 SHA 工作模式
  - DMA-SHA 工作模式
- 允许插入 (interleaved) 功能 (仅限典型 SHA 工作模式)
- 允许中断功能 (仅限 DMA-SHA 工作模式)

#### 4.1.5.6 RSA 数字签名外设 (RSA\_DS)

数字签名技术使用密码学算法，用于验证消息的真实性和完整性。该技术也可用于向服务器验证设备身份，或验证消息是否经过篡改。

ESP32-S31 包含 RSA 数字签名外设 (RSA\_DS)，可提供硬件加速，高效生成基于 RSA 的数字签名。RSA\_DS 外设使用 RSA\_DS\_KEY (由 HMAC 生成或由密钥管理器部署) 解密预先加密的参数，计算出签名。上述过程都发生在硬件层面，因此在计算过程中，不论是解密 RSA 参数的密钥，HMAC 密钥导出函数的输入/输出密钥，还是由密钥管理器部署的密钥，都对用户不可见。

##### 特性

- 支持长度最大为 4096 位的 RSA 数字签名密钥
- 支持仅限 RSA\_DS 外设读取的加密私钥数据
- 支持 SHA-256 摘要，用于保护私钥数据免遭攻击者篡改

#### 4.1.5.7 ECDSA 数字签名外设 (ECDSA\_DS)

在密码学中，椭圆曲线数字签名算法 (ECDSA) 是使用椭圆曲线密码对数字签名算法 (DSA) 的模拟。

ESP32-S31 的 ECDSA 数字签名外设 (ECDSA\_DS) 可高效计算 ECDSA 签名，同时确保签名过程的保密性，防止信息泄露。它在提供强大安全保障的同时，不影响运算性能，可用于高速加密运算，保护用户数据安全。

##### 特性

- 支持数字签名的生成和验证
- 支持三种 NIST 椭圆曲线，分别是 P-192、P-256 和 P-384 (具体定义见 [FIPS 186-5 规范](#)) 和支持国密 SM2 算法 (具体定义见 [SM2 椭圆曲线公钥密码算法](#))
- 支持多种哈希算法，包括 SHA-224、SHA-256、SHA-384、SHA-512、SHA-512/224、SHA-512/256 (具体定义见 [FIPS PUB 180-4 规范](#)) 和国密 SM3 算法 (具体定义见 [SM3 密码杂凑算法](#))
- 提供高安全性特性
  - 拥有不同工作状态下的动态访问权限控制，防止一切中间数据泄漏而导致的密钥泄露
  - 签名/验证为固定时长操作，抵抗旁路攻击

### 4.1.5.8 安全调试控制器 (SDC)

安全调试控制器 (SDC) 模块为已部署的芯片实现了一套硬件强制的安全调试解锁协议。SDC 提供唯一经授权的路径，用于选择性地重新启用调试及下载接口，确保芯片在返回至授权服务机构后能够进入调试模式。该功能的激活以 eFuse 配置为前提，从而杜绝任何纯软件旁路。

SDC 的解锁功能利用芯片内置的 SHA 及 ECDSA\_DS 外设进行密码学加速。解锁流程遵循两阶段质询-响应协议：在请求阶段，SDC 计算芯片唯一的 CHIP\_INFO，用于生成证书；在验证阶段，证书被加载至 SDC，由其进行哈希及签名校验。任何一次校验失败都将使 SDC 进入终态锁定，需经电源重启后方可进行后续尝试。

#### 特性

- 三路独立可选的重新使能输出：JTAG 重新使能、下载模式、强制 SPI 启动
- 两种工作模式：证书请求、证书验证
- 可选的 nonce 集成，实现逐次会话的质询唯一性
- 哈希模式：SHA-256
- 公钥签名模式：ECDSA P-256

### 4.1.5.9 片外存储器加密与解密 (XTS\_AES)

ESP32-S31 芯片集成了片外存储器加密与解密模块，使用 [IEEE Std 1619-2007](#) 指定的 XTS-AES 标准算法，为用户存放在片外存储器 (flash 和 RAM) 的应用代码和数据提供了安全保障。用户可以将专有固件、敏感的用户数据 (如用来访问私有网络的证书) 存放在片外 flash 中，或将一般数据存放在片外 RAM 中。

#### 特性

- 使用通用 XTS-AES 算法，符合 [IEEE Std 1619-2007](#)
- 支持手动加密，需要软件参与
- 支持高速自动加密，无需软件参与
- 支持高速自动解密，无需软件参与
- 由寄存器配置、eFuse 参数、启动 (boot) 模式共同决定开启/关闭加解密功能
- 支持可配置的抗旁路攻击 (anti-DPA) 功能
- flash 和 PSRAM 使用各自独立的密钥

### 4.1.5.10 随机数发生器 (RNG)

ESP32-S31 内置一个真随机数发生器，其生成的 32 位随机数可作为加密等操作的基础。

ESP32-S31 的真随机数发生器通过物理过程而非算法生成真随机数，所有生成的随机数在特定范围内出现的概率完全一样。

#### 特性

- 随机数发生器的熵源
  - 来自 SAR ADC 的热噪声

- 异步时钟
- 环形振荡器 (BUF\_CHAIN)

#### 4.1.5.11 密钥管理器

ESP32-S31 密钥管理器可作为系统的安全核心，以实现高安全性的密钥存储和部署。密钥管理器利用每一块芯片独有的物理不可复制特性 (PUF)，生成每一块芯片独有的硬件唯一密钥 (HUK)，以此作为一块芯片的信任根。HUK 在每次芯片上电时自动生成，在芯片掉电后消失。密钥管理器以这种方式保证密钥存储和部署的安全。

ESP32-S31 的密钥管理器，将密钥信息（非明文，用于恢复密钥的信息）存储在外部储存器中，能够实现 unlimited 数量的密钥存储、实现动态密钥切换等灵活密钥管理功能。

#### 特性

##### HUK 生成器具有以下特性：

- HUK 生成模式：
  - 生成新 HUK 及其对应的 HUK 恢复信息
- HUK 恢复模式：
  - 使用 HUK 恢复信息来恢复 HUK
- HUK 恢复错误提示
- HUK 风险等级提示

##### 密钥管理器具有以下特性：

- 密钥数量无限
- 指定私钥部署（AES 部署模式）
  - 用户可指定密钥的值
- 协商私钥部署（ECDH0 部署模式）
  - 最高安全模式，无需担心外部渠道的数据泄露
  - 获取私钥需初始化芯片
  - 密钥值为芯片与用户协商所得
- 协商私钥部署（ECDH1 部署模式）
  - 利用辅助密钥部署协商私钥
  - 获取私钥无需启动芯片
- 随机密钥部署（随机部署模式）
  - 部署硬件生成的随机密钥，无人知道其确切值
- 私钥恢复部署
  - 输入部署时生成的密钥信息可恢复完全相同的密钥
- 密钥信息导出

- 为同一个密钥每次生成不同的密钥信息

### 4.1.5.12 电源毛刺检测器

ESP32-S31 可以实时监控供电电源的电压，当电压出现毛刺时，将立即复位芯片，防止电源毛刺攻击。

#### 特性

- 检测 VDDPST, VDDA 等四个电压
- 毛刺的电平阈值可调节，默认约 2.4 V
- 上电可以通过 efuse 开启

### 4.1.5.13 安全启动

ESP32-S31 中的安全启动功能可确保只有经过签名的固件才能启动。

#### 特性

- 支持的签名类型
  - ECDSA P-192 签名
  - ECDSA P-256 签名
  - ECDSA P-384 签名

更多信息，请参考 ESP-IDF 编程指南 > [安全启动 \(secure boot\) v2](#)。

## 4.2 外设

本章节介绍了芯片上的外设接口，包括扩展芯片功能的通信接口和片上传感器。

### 4.2.1 图像与音频处理

本章节介绍了图像与声音处理的外设。

#### 4.2.1.1 JPEG 图像编解码器

ESP32-S31 的 JPEG 图像编解码器是一种基于 JPEG 基线标准的图像编解码器，可以对图像进行压缩（编码）和解压缩（解码），从而降低传输图像所需的带宽或存储图像所需的空间，可以处理高分辨率的图像。

#### 特性

JPEG 图像编解码器作为编码器使用时，具有以下特性：

- 使用离散余弦变换算法
- 使用范式哈夫曼编码
- 原始输入图像格式支持 RGB888、RGB565、YUV444、YUV422、YUV420 和 GRAY
- 支持将 RGB888、RGB565、YUV444 图像进行转换（如有需要）并压缩为 YUV444、YUV422 或 YUV420 格式，支持对 YUV422 图像进行转换（如有需要）并压缩为 YUV422 或 YUV420 格式（压缩功能仅适用于 YUV444、YUV422 和 YUV420 格式）
- 支持 4 个 8 位或 16 位精度的可配置量化系数表
- 性能：
  - 静态图像压缩最大支持 4K 分辨率
  - 动态图像压缩最大支持 720P@30fps（不包括包头编码时间）
- 可自动填充零字节
- 可自动添加 EOI 标记

JPEG 图像编解码器作为解码器使用时，具有以下特性：

- 使用反离散余弦变换算法
- 使用哈夫曼解码
- 支持 YUV444、YUV422、YUV420、GRAY 图像格式的压缩码流解码
- 支持 4 个 8 位或 16 位精度的可配置量化系数表
- 支持 2 个 DC 和 2 个 AC 哈夫曼表
- 支持任意分辨率的图像解码，但输出的解码图像分辨率不同于输入图像格式：
  - YUV444、GRAY：输出的解码图像水平和垂直分辨率均为 8 的倍数，即  $150 \times 150$  的图像输出分辨率为  $152 \times 152$
  - YUV422：输出的解码图像水平分辨率为 16 的倍数，垂直分辨率为 8 的倍数，即  $150 \times 150$  的图像输出分辨率为  $160 \times 152$

- YUV420: 输出的解码图像水平和垂直分辨率均为 16 的倍数, 即  $150 \times 150$  的图像输出分辨率为  $160 \times 160$

- 性能:

- 静态图像解码最大支持 4K 分辨率
- 动态图像解码最大支持 720P@30fps (不包括包头解析时间)

### 管脚分配

JPEG 编/解码器无需直接与 IO 进行交互, 因此无需分配管脚。

### 4.2.1.2 像素处理加速器 (PPA)

ESP32-S31 带有一个像素处理加速器 (PPA), PPA 主要包括两大功能模块: 旋转 - 缩放 - 镜像 (SRM) 和图层叠加 (BLEND)。

#### 特性

- SRM 支持图像块旋转、缩放、镜像:
  - 输入格式支持 ARGB8888、RGB888、RGB565、YUV422、YUV420、GRAY
  - 输出格式支持 ARGB8888、RGB888、RGB565、YUV422、YUV420、GRAY
  - 逆时针旋转角度支持  $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$
  - 水平、垂直方向独立缩放支持 8 位整数及 4 位小数
  - 水平、垂直方向镜像
- BLEND 支持两个相同尺寸的图层叠加以及输出特定像素的填充图像:
  - 前景输入格式支持 ARGB8888、RGB888、RGB565、L4、L8、A4、A8
  - 背景输入格式支持 ARGB8888、RGB888、RGB565、YUV422、YUV420、GRAY、L4、L8
  - 输出格式支持 ARGB8888、RGB888、RGB565、YUV422、YUV420、GRAY
  - 基于 Alpha 通道的图层叠加, 若图层没有 Alpha 通道, 可通过寄存器配置提供
  - 前景和背景支持通过设置 color-key 范围实现特殊颜色抠图

### 管脚分配

像素处理加速器无需直接与 IO 进行交互, 因此无需分配管脚。

### 4.2.1.3 音频采样率转换器 (ASRC)

音频采样率转换器 (Audio Sample Rate Converter, 简称 ASRC) 是一种加速器类音频处理模块, 用于在不同采样率之间高质量地转换音频信号, 以支持不同采样标准设备之间的协同工作。该模块通常通过 DMA 接口与片上或片外存储器进行数据交互, 实现音频数据的高效传输与处理。

**特性**

- 支持常见采样率之间的任意互转，包括：8 kHz、16 kHz、32 kHz、44.1 kHz 和 48 kHz
- 输入和输出信号宽度为 16 位，采用 Q1.15 格式
- 采样率转换通过两个整数倍重采样器与一个分数采样率转换器 (FRC) 级联实现，级联方式可通过软件灵活配置：
  - 整数倍重采样器的转换因子可配置为 2 或  $\frac{1}{2}$
  - FRC 的转换因子可在 0 到 2 之间配置（不包括 0 和 2）
- 支持多种声道模式，包括：
  - 单声道接收 (Rx)，单声道发送 (Tx)
  - 双声道接收 (Rx)，双声道发送 (Tx)，两个声道同时处理
  - 单声道接收，双声道发送
  - 双声道接收，单声道发送
- 支持任意长度输入数据，并可根据输出数据长度产生 EOF (End of Frame) 标志
- 当两个通道独立使用时，每个通道支持如下模式：
  - 输入单声道，输出单声道
  - 输入单声道，输出双声道（两个声道数据相同）
  - 输入双声道，输出单声道（可选择某一声道进行处理）
- 当两个通道协同使用时，每个通道均可配置为输入或输出双声道

**4.2.1.4 CORDIC 加速器 (CORDIC)**

ESP32-S31 带有一个 CORDIC 算法硬件加速器。其基本思想是通过执行一系列与运算计数相关的固定角度旋转不断地逼近目标角度。可进行诸如三角函数计算等数学操作。

**特性**

- 支持 q1.15, q1.31 两种定点数格式计算
- 支持圆周系统、线性系统以及双曲系统
- 支持旋转模式、向量模式
- 可计算函数：sin、cos、sinh、cosh、atan(x)、atan(y/x)、atanh、模数、平方根、自然对数
- 可配置计算精度（运算周期数）
- 支持轮询方式读取计算结果
- 支持中断方式读取计算结果
- 支持 DMA 直连模式

**管脚分配**

CORDIC 算法加速器无需直接与 IO 进行交互，因此无需分配管脚。

### 4.2.1.5 LCD 与 Camera 控制器 (LCD\_CAM)

ESP32-S31 的 LCD\_CAM 控制器包含一个独立的 LCD 控制模块和 Camera（摄像头）控制模块，可以外接 LCD 和摄像头设备，功能灵活多样。

#### 特性

- 支持以下工作模式：
  - LCD 主机发送模式
  - Camera 从机接收模式
  - Camera 主机接收模式
- 支持同时外接 LCD 和摄像头设备
- 当外接 LCD 设备时，支持：
  - 8/16/24 位并行输出模式
  - RGB、MOTO6800、I8080 多种 LCD 模式
  - LCD 数据可由 GDMA-AXI 取自内部或外部存储器
- 当外接摄像头设备（即 DVP 图像传感器）时，支持：
  - 8/16 位并行输入模式
  - 视频数据可由 GDMA-AXI 存入内部或外部存储器
- 支持 LCD\_CAM 接口中断

#### 管脚分配

Camera-LCD 控制器的 CAM 和 LCD 接口通过 GPIO 交换矩阵可配置使用任意 GPIO 管脚。

## 4.2.2 通讯接口

本章节介绍了芯片与外部设备和网络进行通信和交互的接口。

### 4.2.2.1 UART 控制器 (UART)

ESP32-S31 芯片中的 UART 控制器用于芯片与外部 UART 设备之间的异步串行数据传输和接收。ESP32-S31 由四个在主系统中的 UART 和一个低功耗 LP UART 组成。

#### 特性

- 可编程波特率，最高可达 5 MBaud
- RAM 由 TX FIFO 和 RX FIFO 共用
- 支持多种数据位和停止位的长度
- 支持奇偶校验位
- 特殊字符 AT\_CMD 检测
- 支持 RS485 协议（不适用于 LP UART）

- 支持 IrDA 协议（不适用于 LP UART）
- 使用 GDMA 进行高速数据通信（不适用于 LP UART）
- 接收超时功能
- UART 作为唤醒源
- 软件和硬件流控

### 管脚分配

UART0 和 LP UART 各自通过 HP IO MUX 和 LP IO MUX 有固定的直接管脚。同时他们也支持通过 GPIO Matrix 映射到其他管脚。UART1、UART2、UART3 通过 GPIO Matrix 路由到任意 HP GPIO 引脚。

### 4.2.2.2 SPI 控制器 (SPI)

串行外设接口 (SPI) 是一种同步串行接口，可用于与外围设备进行通信。ESP32-S31 芯片集成了四个 SPI 控制器：

- MSPI 控制器，简称 MSPI，包括：
  - FLASH MSPI 控制器
    - \* FLASH MSPI SPIO
    - \* FLASH MSPI SPI1
  - PSRAM MSPI 控制器
    - \* PSRAM MSPI SPIO
    - \* PSRAM MSPI SPI1
- 通用 SPI2，简称 GP-SPI2
- 通用 SPI3，简称 GP-SPI3
- 低功耗 SPI，简称 LP-SPI

### 特性

GP-SPI 具有以下特性：

- 用作主机或用作从机
- 支持半双工通信和全双工通信
- 支持 CPU 控制的传输类型以及 DMA 控制的传输类型
- 支持多种数据模式：
  - GP-SPI2
    - \* 1-bit SPI 模式
    - \* 2-bit Dual SPI 模式
    - \* 4-bit Quad SPI 模式
    - \* QPI 模式

- \* 8-bit Octal SPI 模式（仅用于主机）
- \* OPI 模式（仅用于主机）
- **GP-SPI3**
  - \* 1-bit SPI 模式
  - \* 2-bit Dual SPI 模式
  - \* 4-bit Quad SPI 模式
  - \* QPI 模式
- 时钟频率可配置
  - 用作主机时：时钟频率可达 80 MHz
  - 用作从机时：时钟频率可达 60 MHz
- 数据长度可配置
  - 在 CPU 控制的主机和从机传输中：数据长度为 1~64 字节
  - 在 DMA 控制的主机单次传输中：数据长度为 1~32 KB
  - 在 DMA 控制的主机分段配置传输中：数据长度字节数无限制
  - 在 DMA 控制的从机单次或连续传输中：数据长度字节数无限制
- 读写数据的比特位顺序可配置
- 为 CPU 控制的传输和 DMA 控制的传输分别提供独立中断
- 时钟极性和相位可配置
- 四种 SPI 时钟模式：模式 0~ 模式 3
- 用作主机时，提供多条 CS 线
  - **GP-SPI2**: CS0~CS5
  - **GP-SPI3**: CS0~CS2
- 支持访问 SPI 接口的传感器、显示屏控制器、flash 或 RAM 芯片

**LP-SPI 为 GP-SPI 的精简版，其功能为 GP-SPI 功能的子集，具有以下特性：**

- 用作主机或用作从机
- 支持半双工通信和全双工通信
- 仅支持 CPU 控制的传输类型
- 仅支持 1-bit SPI 数据模式
- 时钟频率可配置
  - 用作主机时：时钟频率可达 40 MHz
  - 用作从机时：时钟频率可达 40 MHz
- 数据长度可配置
  - 在 CPU 控制的主机和从机传输中：数据长度为 1~64 字节

- 读写数据的比特位顺序可配置
- 为 CPU 控制的传输提供中断
- 时钟极性和相位可配置
- 四种 SPI 时钟模式：模式 0~ 模式 3
- 用作主机时，仅提供 1 条 CS 线：CS0
- 用作从机时，支持唤醒功能（相较于 GP-SPI，属唯一新增功能）

### 管脚分配

FLASH MSPI 控制器使用专用数字管脚，管脚序号为 27~33。

GP-SPI2 接口的管脚有两组，一组四线接口通过 IO MUX 与 GPIO20~GPIO25，或 GPIO50~GPIO52 以及 JTAG 接口复用，另一组八线接口通过 IO MUX 与 GPIO9~GPIO19，同时也是 EMAC 的第一组 RMII 接口的管脚复用。对 GP-SPI2 接口速度要求不高时，也可以通过 GPIO 交换矩阵可配置使用任意 GPIO 管脚。

GP-SPI3 接口通过 GPIO 交换矩阵可配置使用任意 GPIO 管脚。

LP-SPI 接口通过 LP GPIO 交换矩阵可配置使用任意管脚。

### 4.2.2.3 I2C 控制器 (I2C)

ESP32-S31 有两个 HP\_I2C 总线接口和一个 LP\_I2C 总线接口。根据配置，HP\_I2C 总线接口可以用作 I2C 主机或从机模式，LP\_I2C 总线接口只能用作 I2C 主机模式。

### 特性

- 标准模式 (100 Kbit/s)
- 快速模式 (400 Kbit/s)
- 速度最高可达 800 Kbit/s，但受制于 SCL 和 SDA 上拉强度
- 7 位寻址模式和 10 位寻址模式
- 双寻址模式
- 7 位广播地址

### 管脚分配

I2C 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

### 4.2.2.4 I2S 控制器 (I2S)

ESP32-S31 芯片中的 I2S 控制器为多媒体应用程序提供了一种灵活的通信接口，特别适用于数字音频应用。

### 特性

- 支持主机模式和从机模式
- 支持全双工和半双工通信
- 支持 TX 模块和 RX 模块独立工作或同时工作

- 支持多种音频标准：
  - TDM Philips 标准
  - TDM MSB 对齐标准
  - TDM PCM 标准
  - PDM 标准
- 支持多种 TX/RX 模式
  - TDM TX 模式，最多支持 16 通道
  - TDM RX 模式，最多支持 16 通道
  - PDM TX 模式
    - \* 支持原始 PDM 数据发送
    - \* 支持将 PCM 数据转换为 PDM 数据发送，最多支持 2 通道
  - PDM RX 模式
    - \* 支持原始 PDM 数据接收
- 可配置时钟源，支持最高频率为 96 MHz
- 可配置高精度采样时钟，支持多种采样频率
- 支持 8/16/24/32 位的数据位宽
- TX 模式支持同步计数器
- 支持 ETM 功能
- 支持 GDMA
- 支持 I2S 接口中断

## 管脚分配

I2S 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

### 4.2.2.5 脉冲计数控制器 (PCNT)

ESP32-S31 的脉冲计数控制器 (PCNT) 通过七种模式捕捉脉冲并对脉冲边沿计数。

#### 特性

- 四个脉冲计数控制器（单元），各自独立工作，计数范围是 1~65535
- 每个单元有两个独立的通道，共用一个脉冲计数控制器
- 所有通道均有输入脉冲信号（如 sig\_ch0\_un）和相应的控制信号（如 ctrl\_ch0\_un）
- 滤波器独立工作，过滤每个单元输入脉冲信号（sig\_ch0\_un 和 sig\_ch1\_un）控制信号（ctrl\_ch0\_un 和 ctrl\_ch1\_un）的毛刺
- 每个通道参数如下：
  1. 选择在输入脉冲信号的上升沿或下降沿计数

2. 在控制信号为高电平或低电平时可将计数模式配置为递增、递减或停止计数
  3. 通过设置递增/递减计数步长阈值实现步长计数警报
  4. 置位清零寄存器或通过 GPIO 输入清零信号可清除脉冲计数控制器的值
  5. 每个计数模式都可以生成并记录相应事件信号，这些事件信号可以配置为中断
- 最大脉冲频率： $\frac{f_{APB\_CLK}}{2}$

### 管脚分配

脉冲计数控制器管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

### 4.2.2.6 USB 2.0 高速 OTG

ESP32-S31 带有一个集成了收发器的 USB 2.0 高速 OTG 外设，下文将称为 OTG\_HS。该 OTG\_HS 外设符合 USB 2.0 协议规范，同时兼容 OTG 1.3 协议和 OTG 2.0 协议。OTG\_HS 支持 USB 2.0 传输速率为 480 Mbit/s 的高速模式 (High-Speed, HS)、传输速率为 12 Mbit/s 的全速模式 (Full-Speed, FS) 和传输速率为 1.5 Mbit/s 的低速模式 (Low-Speed, LS)。

- 处于高速模式和全速模式的 OTG\_HS 可配置成 Host，也可以配置成 Device。
- 处于低速模式的 OTG\_HS 只可配置成 Host。

### 特性

#### 通用特性

- 兼容 USB 2.0 协议、OTG 1.3 协议、OTG 2.0 协议
- 支持高速速率、全速速率、低速速率
- 在全速和高速模式下既可作为主机，也可以充当设备
- 动态分配 FIFO (DFIFO) 大小，每个设备 EP/主机通道最大可动态分配 4 KB FIFO
- 每个微帧最大支持 8 个非周期性和 16 个周期性事务
- 支持多种存储器访问模式
  - Scatter/Gather DMA 模式
  - Buffer DMA 模式
  - Slave 模式
- 集成 UTMI 高速收发器

#### 设备模式 (Device mode) 特性

- 端点 0 永远存在，双向控制，由 EPO IN 和 EPO OUT 组成
- 15 个附加端点 1~15，可配置为 IN 或 OUT
- 最多 8 个 IN 端点同时工作，包括 EPO IN
- 所有 OUT 端点共享一个 RX FIFO
- 每个 IN 端点都有专用的 TX FIFO

### 主机模式 (Host mode) 特性

- 16 个主机通道
- 一个 RX FIFO：由所有周期事务和非周期事务共用
- 两个 TX FIFO：
  - 所有非周期事务传输共用一个 TX FIFO
  - 所有周期事务传输共用另一个 TX FIFO
- 上述所有 FIFO 共用 4 KB RAM
- 每个 FIFO 大小可配置，最大 4 KB

### 管脚分配

USB 2.0 高速 OTG 接口的 USB2 OTG PHY DM (USB\_D-) 和 USB2 OTG PHY DP (USB\_D+) 使用专用数字管脚，管脚序号为 44 和 45。其余信号通过 GPIO 交换矩阵可配置使用任意 GPIO 管脚。

### 4.2.2.7 USB 串口/JTAG 控制器 (USB\_SERIAL\_JTAG)

ESP32-S31 中包含一个 USB 串口/JTAG 控制器，可用于烧录芯片的外部 flash、读取程序输出的数据以及将调试器连接到正在运行的程序中。任何带有 USB 主机的计算机都可以实现上述功能，无需其他外部组件辅助。

### 特性

- 兼容 USB 2.0 全速标准，传输速度最高可达 12 Mbit/s（注意，该控制器不支持 480 Mbit/s 的高速传输模式）
- 包含 CDC-ACM 虚拟串口及 JTAG 适配器功能
- 烧录芯片 flash
- 利用紧凑的 JTAG 指令，支持 CPU 调试
- 芯片内部集成的全速 USB PHY

### 管脚分配

USB 串口/JTAG 控制器管脚通过 IO MUX 与 GPIO33 和 GPIO34 复用。

### 4.2.2.8 以太网介质访问控制器 (EMAC)

借助外部以太网物理层 (Ethernet PHY)，ESP32-S31 可以通过以太网介质访问控制 (Ethernet MAC) 按照 IEEE 802.3 标准发送和接收数据。

ESP32-S31 以太网 MAC 符合以下标准：

- 符合 IEEE 802.3-2002，用于以太网 MAC。
- 符合 IEEE 1588-2008 标准，用于规定联网时钟同步的精度。
- 符合 IEEE 802.3 规范工业标准接口：介质独立接口 (MII)、简化介质独立接口 (RMII) 和简化千兆介质独立接口 (RGMII)。
- 符合 IEEE 802.3az-2010 节能以太网标准

- 符合 IEEE 802.1Q 标准，用于支持 VLAN 帧

### 特性

- 支持外部 PHY 接口实现 10/100/1000 Mbit/s 数据传输速率
- 可通过符合 IEEE802.3 的 MII 接口、RMII 接口或 RGMII 接口与外部快速以太网 PHY 进行通信（一次仅可使用一种接口）
- 支持全双工和半双工模式
  - 支持适用于半双工模式的 CSMA/CD 协议
  - 支持适用于全双工模式的 IEEE 802.3x 流量控制
  - 全双工模式时可以将接收的暂停控制帧转发到用户应用程序
  - 半双工模式时提供背压流量控制
  - 全双工操作中如果流量控制输入信号消失，将自动发送暂停时间为零的暂停帧
- 报头和帧起始数据 (SFD) 在发送路径中插入、在接收路径中删除
- 可逐帧控制 CRC 和 padding（全 0）自动生成
- 如果数据为达到最小帧长度，则自动添加 padding
- 可编程帧长度，支持高达 16 KB 的巨型帧
- 可编程帧间隔 (IFG)（40-96 位时间，以 8 为步长）
- 支持多种灵活的地址过滤模式：
  - 高达 9 个 48 位完美地址过滤器，对每个字节进行掩码操作
  - 高达 9 个 48 位 SA 地址比较检查，对每个字节进行掩码操作
  - 可传送所有多播地址帧
  - 支持混合模式，因此可传送所有帧，无需为网络监视进行过滤
  - 传送所有传入数据包时（每次过滤时）均附有一份状态报告
- 为发送和接收数据包分别返回 32 位状态
- 在接收功能中支持 VLAN 标记帧过滤
- 为应用程序提供单独的发送、接收和控制接口
- 使用 MDIO 接口配置和管理 PHY 设备
- 在接收功能中支持对接收到的由以太网帧封装的 IPv4 和 TCP 数据包进行校验和卸载
- 在接收功能中支持检查 IPv4 头校验和以及在 IPv4/IPv6 数据包中封装的 TCP、UDP 或 ICMP 校验和
- 支持以太网帧时间戳（详细参考 IEEE 1588-2008）。每个帧在发送或接收时带有 64 位时间戳。
- 支持节能以太网（详细参考 IEEE 802.3az-2010）
- 支持传输帧中 CRC 替换、源地址字段插入或替换以及 VLAN 插入、替换或删除
- 两组 FIFO：一个 1024 字节发送 FIFO 和一个 256 字节接收 FIFO

- 接收 FIFO 进行多帧存储时，在 EOF 传输后，通过向接收 FIFO 插入接收状态矢量，从而使得接收 FIFO 无需存储这些帧的接收状态
- 可以转发过小的好帧
- 为接收 FIFO 中由于溢出丢失或损坏的帧生成脉冲，借此支持数据统计
- 发送时处理冲突帧的自动重新发送
- 丢弃延迟冲突、过度冲突、过度延迟和下溢条件下的帧
- 通过软件控制刷新 TX FIFO

### 管脚分配

以太网介质访问控制器 (EMAC) RGMII 接口在 IO MUX 对应如下指定的管脚：

- 管脚与 GPIO8~GPIO19 复用。

以太网介质访问控制器 (EMAC) RMII 接口在 IO MUX 对应如下指定的管脚：

- 管脚与 GPIO8、GPIO9、GPIO12、GPIO13、GPIO15、GPIO18、GPIO19 复用。

以太网介质访问控制器 (EMAC) MII 接口不但要使用 RGMII 接口的可用管脚，也额外需要另外三个任意的 GPIO 管脚来走 rxderr/csr/col 等信号。

MDIO 接口以及其他接口通过 GPIO 交换矩阵可配置使用任意 GPIO 管脚。

### 4.2.2.9 CAN FD 控制器

CAN FD (Controller Area Network Flexible Data-Rate, 控制器局域网灵活数据速率) 协议是一种多主机、多播的通信协议。CAN FD 控制器用于芯片使用该协议的通信。ESP32-S31 中集成的 CAN FD 控制器与 CAN FD 规范协议兼容，但尚未获得正式认证。

### 特性

- 兼容 ISO11898-1:2015 标准
- 具有 128 字的 RX FIFO (6 个 64 字节载荷的 CAN FD 帧，21 个 8 字节载荷的 CAN/CAN FD 帧)
- 4 个 TX buffer (每个 TX buffer 可容纳 1 个 CAN FD 帧)
- 32 位 APB 配置接口
- 支持 ISO 和非 ISO CAN FD 协议
- 支持时间戳和基于时间的传输
- 内置 3 个屏蔽过滤器和 1 个范围过滤器
- 支持中断
- 操作模式包括：回环模式、总线监视模式、禁止确认应答模式、自检模式、限制操作模式

### 管脚分配

CAN FD 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

### 4.2.2.10 SD/MMC 主机控制器 (SDHOST)

ESP32-S31 集成一个 SD/SDIO/MMC 主机控制器。

#### 特性

- 支持两个外部卡
- 支持 3.0、3.01 版本 SD 存储卡标准
- 支持 3.0 版本 SDIO
- 支持 1.1 版本 CE-ATA
- 支持多媒体卡 (MMC 4.41 版本、eMMC 4.5 版本和 4.51 版本)
- 支持 1-bit、4-bit 位宽模式，不支持 8-bit 位宽模式

SD/SDIO/MMC 主机控制器可以同时支持 2 张 SD/SDIO/MMC4.41 卡，还支持 1 张以 1.8 V 电压工作的 SD 卡。

#### 管脚分配

SD/SDIO/MMC 主机控制器的卡 1 可以通过 IO MUX 使用 GPIO20~GPIO25, 卡 2 可以通过 IO MUX 使用 GPIO35~GPIO40。

### 4.2.2.11 LED PWM 控制器 (LEDC)

LED PWM 控制器用于生成控制 LED 的脉冲宽度调制信号 (PWM)，具有占空比自动渐变等功能。该外设也可生成 PWM 信号用作其他用途。

#### 特性

- 两个独立的 LED PWM 控制器，每个包含 8 个独立的 PWM 生成通道 (共计 16 个通道)
- PWM 占空比最大精度为 20 位
- 每个 LED PWM 控制器包含四个独立的定时器，具有 20 位计数器、可配置的时钟小数分频器和计数器溢出值
- PWM 输出信号相位可调节
- PWM 占空比微调
- 占空比自动渐变—即 PWM 信号占空比可逐渐增加或减小，无须处理器干预，渐变完成时产生中断
- 每个 PWM 生成通道包含 16 个占空比渐变区间，用于生成占空比伽马曲线渐变的信号。每个区间都可以独立配置占空比变化方向 (增加或减少)、变化步长、变化次数以及变化频率
- 低功耗模式 (Light-sleep mode) 下可输出 PWM 信号
- 可以生成 ETM (事件任务矩阵) 外设相关的事件，可以接收 ETM 外设相关的任务

#### 管脚分配

LED PWM 控制器通过 GPIO 交换矩阵可配置使用任意 GPIO 管脚。

### 4.2.2.12 电机控制脉宽调制器 (MCPWM)

ESP32-S31 包含一个电机控制脉宽调制器 (MCPWM)，可以用于驱动数字马达和智能灯。

#### 特性

- 包含一个时钟分频器（预分频器）、三个 PWM 定时器、三个 PWM 操作器、一个捕捉模块、一个 ETM 模块和一个故障检测模块。PWM 定时器用于生成定时参考，PWM 操作器将根据定时参考生成所需的波形
- 任一 PWM 操作器可以使用任一 PWM 定时器的定时参考
- 不同 PWM 操作器可以使用相同 PWM 定时器的定时参考来产生 PWM 信号
- 不同 PWM 操作器可以使用不同 PWM 定时器的值来生成单独的 PWM 信号
- 不同 PWM 定时器可以进行同步

#### 管脚分配

MCPWM 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

### 4.2.2.13 红外遥控 (RMT)

红外遥控器 (RMT) 支持四通道的红外发射和四通道的红外接收。通过程序控制脉冲波形，遥控器可以支持多种红外协议和单线协议。

#### 特性

- 共配置八个通道：
  - 0~3 通道支持发送
  - 4~7 通道支持接收
  - 八个通道共享 384 x 32 位的 RAM
- 发射器支持以下模式：
  - 普通发送模式
  - 乒乓发送模式
  - 持续发送模式
  - 载波调制
  - 多通道同时发送
  - 发送通道 3 支持 GDMA 访问
- 接收器支持以下模式：
  - 普通接收模式
  - 乒乓接收模式
  - 接收滤波
  - 载波解调

- 接收通道 7 支持 GDMA 访问

### 管脚分配

红外遥控通过 GPIO 交换矩阵可配置使用任意 GPIO 管脚。

### 4.2.2.14 并行 IO 控制器 (PARLIO)

ESP32-S31 包含一个并行 IO 控制器 (PARLIO)，支持通过通用直接存储访问 (GDMA) 在并行总线上实现外部设备和内部存储器之间的数据通信。

#### 特性

- 支持多种时钟源可选：
  - 包括外部 IO 时钟 PAD\_CLK\_TX/RX、内部系统时钟 XTAL\_CLK、PLL\_F160M\_CLK 和 RC\_FAST\_CLK
  - 最大支持 40 MHz 的 IO 时钟频率
  - 时钟支持整数和小数分频
- 支持将传输数据总线位宽配置为 1/2/4/8/16 位
- 支持 16 位全双工传输
- 总线位宽为 1/2/4 位时，支持在一个字节范围内对比特数据顺序进行翻转
- 包含用于接收 IO 并行数据的 RX 子模块：
  - 支持对输出时钟进行门控
  - 支持 RX 子模块输入时钟和输出时钟分别取反
  - 支持多种接收模式
  - 支持配置 GDMA SUC EOF 信号生成模式
  - 支持配置外部使能信号的 IO 管脚
- 包含用于发送 IO 并行数据的 TX 子模块：
  - 支持对输出时钟进行门控
  - 支持 TX 子模块输入时钟和输出时钟分别取反
  - 支持有效信号输出
  - 支持配置 TX EOF 信号生成模式
  - 支持配置总线空闲时数值

### 管脚分配

并行 IO 控制器通过 GPIO 交换矩阵可配置使用任意 GPIO 管脚。

### 4.2.2.15 比特调节器

ESP32-S31 中有大量支持 DMA（直接存储器访问）的外设，它们可以在 CPU 不参与的情况下将数据从存储器传输到外设或从外设传输到存储器，但这需要外设传输的数据格式与软件支持的数据格式相同，如果格式不同，则需要 CPU 重写数据格式，如交换字节、反转字节和左右移位数据。

由于位操作通常相当耗费 CPU 资源，而设计 DMA 的初衷是在传输过程中避免使用 CPU，因此 ESP32-S31 集成了两个比特调节器 (BitScrambler)，专门用于修改存储器和外设之间传输数据的格式，一个传输控制器用于存储器到外设（或存储器到存储器）方向的传输，另一个传输控制器用于外设到存储器方向的传输。除此之外，比特调节器还是一个灵活的可编程状态机，能够执行更高级的操作。

#### 特性

- 两个比特调节器，一个用于 RX（外设到存储器），一个用于 TX（存储器到外设）
- 支持存储器到存储器的传输
- 每个 DMA 时钟周期最多可处理 32 位数据
- 数据路由由存储在指令存储器中的比特调节器程序控制
- 输入寄存器每个时钟周期可读取 0、8、16 或 32 位
- 输出寄存器：
  - 每个时钟周期可写入 0、8、16 或 32 位
  - 输出寄存器位的数据源：64 位输入数据、两个计数器、LUT RAM 数据、上个周期的数据输出、比较器
  - 32 位输出寄存器位中的每一位可以来自数据源的任意位
- 8 x 257 位指令存储器，用于存储八条指令，配置控制流和数据路径
- 2048 字节查找表 (LUT) 存储器，可配置为不同的字宽

#### 管脚分配

比特调节器无需直接与 IO 进行交互，因此无需分配管脚。

### 4.2.3 模拟信号处理

本小节描述芯片上感知和处理现实世界数据的组件。

#### 4.2.3.1 触摸传感器 (TOUCH)

ESP32-S31 提供了多达 14 个电容式传感 GPIO，能够探测由手指或其他物品直接接触或接近而产生的电容差异。这种设计具有低噪声和高灵敏度的特点，可以用于支持使用相对较小的触摸板。设计中也可以使用触摸板阵列以探测更大区域或更多点。ESP32-S31 的触摸传感器同时还支持防水、跳频检测和数字滤波等功能来进一步提高传感器的性能。

#### 特性

- 支持 14 个电容触摸管脚的检测
- 可由软件或专用硬件定时器触发采样操作

- 支持两种采样方式：
  - 将来自触摸管脚的脉冲序列信号作为时钟信号处理，利用该时钟来计数采样周期
  - 将来自触摸管脚的脉冲序列信号作为数字信号处理，利用系统时钟采样该数字信号的上升沿来计数采样周期
- 支持扫描模式，可配置 Touch FSM 按照固定顺序对多个触摸管脚进行采样
- 支持超时机制，监测通道异常
- 支持跳频采样，增加检测的抗干扰性
- 支持接近感应模式，最多可配置三个通道
- 支持配置单个触摸传感器在休眠模式时正常工作
- 支持触摸传感器用作唤醒源
- 支持防潮功能
- 支持遇水保护功能

### 管脚分配

触摸传感器接口与 GPIO6~GPIO19 管脚复用。配置模拟功能生效时，与其复用的数字功能无效。

### 4.2.3.2 温度传感器 (TSENS)

ESP32-S31 搭载了一个温度传感器，用于实时测量芯片内部温度。温度传感器可将输出的电压转换成数字值，并且带有补偿温度偏移的功能。

#### 特性

- 支持软件触发测量温度，且一旦触发后，传感器可持续测量温度，软件可实时读取数据
- 支持硬件触发自动监测温度
- 支持两种自动监测模式且发送中断
- 支持根据使用环境配置温度偏移，提高测试精度
- 温度测量范围可配置
- 支持多个事件任务矩阵 (ETM) 相关的事件和任务

### 4.2.3.3 ADC 控制器 (ADC)

ESP32-S31 搭载了两个 12 位逐次逼近型模拟数字转换器 (SAR ADC)，每个 SAR ADC 分别用于测量最多来自 8 个管脚上的模拟信号。

#### 特性

- 12 位分辨率
- 每个 ADC 支持采集最多 8 个管脚上的模拟信号，共 16 个
- 支持单次采样模式和多通道采样模式

- 在多通道采样模式下，支持：
  - 自定义采样通道顺序
  - 两个滤波器，滤波系数可配
  - 阈值监控，滤波后数据大于设置的高阈值或小于设置的低阈值将产生中断
  - GDMA 连续数据搬运
- 支持多个事件任务矩阵 (ETM) 相关的事件和任务

### 管脚分配

SAR ADC1 控制器管脚与 GPIO42 ~ GPIO49 复用；SAR ADC2 控制器管脚与 GPIO50 ~ GPIO57 复用。

### 4.2.3.4 DAC 控制器 (DAC)

ESP32-S31 提供了一个数字模拟信号转换器，能够将数字信号转换为模拟电压并在两个特殊芯片焊盘 (PAD) 输出，两条通路分别连接至两个 PAD，并且可以独立输出互不影响。

#### 特性

- 支持通过 PDMA 与软件配置输出值，或者通过内置的查找表输出正弦波
- 输出电压范围为 0V ~ 3.3V
- 支持极低功耗模式下维持输出电平

### 管脚分配

DAC 是专用的 PAD，仅 GPIO4 (DAC 通道 0)、GPIO5 (DAC 通道 1) 支持。

### 4.2.3.5 模拟电压比较器

ESP32-S31 提供了一个模拟电压比较器，包含四个特殊芯片焊盘 (PAD)，可选择其中三个 PAD 与另外一个 PAD 比较电压大小关系，也可以选择其中任意三个 PAD 与内部可调节的稳定电压进行比较。

#### 特性

- 参考电压可选择内部参考电压或者外部参考电压
- 内部参考电压支持  $0 \sim 0.7 * VDDPST$
- 内部参考电压支持迟滞功能
- 支持 ETM
- 待测电压经过参考电压时，输出中断

### 管脚分配

模拟电压比较器是专用的 PAD，仅 GPIO37、GPIO38、GPIO39 和 GPIO40 支持，其中任意 PAD 可设置为待测管脚和参考管脚。

## 4.3 无线通信

本节描述了芯片的无线通信能力，涵盖无线电模块、Wi-Fi、低功耗蓝牙、经典蓝牙和 802.15.4。

### 4.3.1 无线电

本小节描述了嵌入在芯片中的基本无线电模块，用于实现无线通信和数据交换。

#### 4.3.1.1 2.4 GHz 接收器

2.4 GHz 接收器将 2.4 GHz 射频信号解调为正交基带信号，并用两个高精度、高速的 ADC 将后者转为数字信号。为了适应不同的信道情况，ESP32-S31 集成了 RF 滤波器、自动增益控制 (AGC)、DC 偏移补偿电路和基带滤波器。

#### 4.3.1.2 2.4 GHz 发射器

2.4 GHz 发射器将正交基带信号调制为 2.4 GHz 射频信号，使用大功率互补金属氧化物半导体 (CMOS) 功率放大器驱动天线。数字校准进一步改善了功率放大器的线性。

为了抵消射频接收器的瑕疵，ESP32-S31 还另增了校准措施，例如：

- 载波泄露消除
- I/Q 相位匹配
- 基带非线性抑制
- 射频非线性抑制
- 天线匹配

这些内置校准措施缩短了产品的测试时间，并减少了对专用测试设备的需求。

#### 4.3.1.3 时钟生成器

时钟生成器为接收器和发射器生成 2.4 GHz 正交时钟信号，所有部件均集成于芯片上，包括电感、变容二极管、环路滤波器、线性稳压器和分频器。

时钟生成器带有内置校准电路和自测电路。运用自主知识产权的优化算法，对正交时钟的相位和相位噪声进行优化处理，使接收器和发射器都有最好的性能表现。

### 4.3.2 Wi-Fi

本小节描述了芯片的 Wi-Fi 能力，用于实现高速无线通信。

#### 4.3.2.1 Wi-Fi 无线电和基带

ESP32-S31 Wi-Fi 无线电和基带支持以下特性：

- 2.4 GHz 频段，支持 1T1R
- 802.11ax
  - 支持仅 20 MHz 非接入点工作模式 (20MHz-only non-AP mode)
  - MCS0 ~ MCS9

- 上行、下行正交频分多址 (OFDMA) 接入
- 下行全带宽、部分带宽多用户多输入多输出接入 (MU-MIMO)
- 更长的 OFDM 符号 (OFDM symbol), 0.8、1.6、3.2  $\mu$ s 保护间隔
- 双载波调制 (Dual carrier modulation, DCM), 最高支持 16-QAM 正交幅度调制
- 单用户/多用户波束成形接收端 (SU/MU Beamformee)
- 信道质量指示 (Channel quality indication, CQI)
- RX 空时分组编码 (STBC) (单空间流)
- 802.11b/g/n:
  - MCS0 ~ MCS7, 支持 20 MHz 和 40 MHz 带宽
  - MCS32
  - 数据速率高达 150 Mbps
  - 支持 0.4  $\mu$ s 保护间隔
- 可调节的发射功率
- 天线分集
 

ESP32-S31 支持基于外部射频开关的天线分集与选择。外部射频开关由一个或多个 GPIO 管脚控制, 用来选择最合适的天线以减少信道衰落的影响。

#### 4.3.2.2 Wi-Fi MAC

ESP32-S31 完全遵循 IEEE 802.11 b/g/n/ax Wi-Fi MAC 协议栈, 支持分布式控制功能 (DCF) 下的基本服务集 (BSS) STA 和 SoftAP 操作。支持通过最小化主机交互来优化有效工作时长, 以实现功耗管理。

ESP32-S31 Wi-Fi MAC 自行支持的底层协议功能如下:

- 4 × 虚拟 Wi-Fi 接口
- 同时支持基础结构型网络 (Infrastructure BSS) Station 模式、SoftAP 模式、Station + SoftAP 模式和混杂模式
- RTS 保护, CTS-to-Self 保护, 立即块确认 (Immediate Block ACK)
- 分片和重组 (Fragmentation and defragmentation)
- TX/RX A-MPDU, TX/RX A-MSDU
- 传输机会 (TXOP)
- 无线多媒体 (WMM)
- GCMP、CCMP、TKIP、WAPI、WEP、BIP、WPA2 个人/企业模式 (WPA2-PSK/WPA2-Enterprise) 及 WPA3 个人/企业模式 (WPA3-PSK/WPA3-Enterprise)
- 自动 Beacon 监测 (硬件 TSF)
- 802.11mc FTM
- 802.11ax 支持以下特性:
  - 请求端目标唤醒时间机制 (Target wake time, TWT)

- 多个基本服务集标识符 (Multiple BSSIDs)
- 触发响应调度 (Triggered response scheduling)
- 多用户传送请求 (MU-RTS)、多用户块确认请求 (MU-BAR)、多站点用户块确认 (M-BA)
- 协议数据单元内的省电模式 (Intra-PPDU power saving)
- 两个网络分配向量 (NAV)
- BSS 着色机制 (BSS coloring)
- 空间复用 (Spatial reuse)
- 上行功率余量 (Uplink power headroom)
- 运行模式控制 (Operating mode control)
- 缓存状态报告 (Buffer status report)
- 基于 TXOP 持续时间的 RTS 发送阈值 (TXOP duration RTS threshold)
- 上行随机接入机制 (UL-OFDMA random access, UORA)

#### 4.3.2.3 网络特性

乐鑫提供的固件支持 TCP/IP 联网、ESP-WIFI-MESH 联网或其他 Wi-Fi 联网协议,同时也支持 TLS 1.0、1.1、1.2。

### 4.3.3 低功耗蓝牙

本小节描述了芯片的低功耗蓝牙能力,用于实现低功耗数据通信,并支持多种应用场景,包括高效数据传输、新一代蓝牙音频 (LE Audio)、定位及电子货架标签等。

#### 4.3.3.1 低功耗蓝牙物理层

ESP32-S31 系列芯片低功耗蓝牙物理层支持以下特性:

- 1 Mbps PHY
- 2 Mbps PHY, 用于提升传输速率
- Coded PHY (125 Kbps and 500 Kbps), 用于提升传输距离
- 硬件实现 Listen Before Talk (LBT)

#### 4.3.3.2 低功耗蓝牙链路控制器

ESP32-S31 系列芯片低功耗蓝牙链路控制器和主机支持以下特性:

- 蓝牙低功耗音频 (LE Audio, Isochronous Channels, BIS and CIS)
- 基于到达角和出发角的蓝牙方向查找功能 (Direction Finding, AoA/AoD)
- 带回复的周期性广播 (PAwR)
- 亚速率连接模式 (LE Connection Subrating)
- 扩展广播以及多广播支持 (LE Advertising Extensions)
- 广播者/观察者/中央设备/外围设备多角色并发运行

- 自适应跳频及信道评估 (AFH)
- 信道选择算法 #2 (Channel Selection Algorithm #2)
- 功率控制 (LE Power Control)
- 广播编码选择 (Advertising Coding Selection)
- 加密广播数据 (Encrypted Advertising Data)
- LE GATT 安全等级特性 (LE GATT Security Levels Characteristic)
- 周期性广播中的广播数据信息 (AdvDataInfo)
- LE 信道分类 (LE Channel Classification)
- 增强型属性协议 (Enhanced Attribute Protocol)
- 广播信道索引 (Advertising Channel Index)
- GATT 缓存 (GATT Caching)
- 周期性广播同步传输 (Periodic Advertising Sync Transfer)
- 高占空比非可连接广播 (High Duty Cycle Non-Connectable Advertising)
- LE 数据包长度扩展 (LE Data Packet Length Extension)
- LE 安全连接 (LE Secure Connections)
- LE 隐私 1.2 版本 (LE Privacy 1.2)
- 链路层扩展扫描器过滤策略 (Link Layer Extended Scanner Filter Policies)
- 低占空比定向广播 (Low Duty Cycle Directed Advertising)
- 链路层加密 (Link Layer Encryption)
- LE Ping

### 4.3.4 经典蓝牙

本小节描述了芯片的经典蓝牙能力，用于实现稳定的连续数据传输及传统蓝牙音频应用（如 A2DP、HFP），适用于成熟音频生态及持续数据通信场景。

#### 4.3.4.1 经典蓝牙物理层

ESP32-S31 系列芯片经典蓝牙物理层支持以下特性：

- 基本速率 (GFSK)：1 Mbps
- 增强数据速率 ( $\pi/4$  DQPSK)：2 Mbps
- 增强数据速率 (8DPSK)：3 Mbps
- 硬件实现空闲信道评估 (CCA)
- 最大输出功率达到一类功率 (Power Class 1) 设备要求

#### 4.3.4.2 经典蓝牙链路控制器

ESP32-S31 系列芯片经典蓝牙链路控制器，可实现设备查询、寻呼操作，能够组建微微网 (piconet) 和散射网 (scatternet)，连接状态支持活跃模式 (active mode) 和嗅探模式 (sniff mode) 以及角色互换、数据加密、功率控制、自适应跳频等操作。以下为经典蓝牙链路控制器的主要特性：

- 设备发现 (查询和查询扫描)
- 建立连接 (寻呼和寻呼扫描)
- 异步连接导向 (ACL) 和同步连接导向 (SCO/eSCO)
- 语音编码支持 A-law,  $\mu$ -law, CVSD 和透传数据
- 语音数据通道支持 HCI 或 PCM/I2S 接口
- 安全简易配对 (SSP)
- EO 加密和 AES-CCM 加密
- 安全连接 (Secure Connections)
- 信道分类和自适应跳频 (AFH)
- 嗅探 (sniff) 模式和嗅探亚速率 (sniff subrating)
- 角色切换
- 传统功率控制和增强型功率控制
- Ping
- 微微网 (Piconet) 和散射网 (Scatternet) 管理
- 活跃外围设备广播 (Active Peripheral Broadcast)

#### 4.3.5 802.15.4

本小节描述了芯片与 802.15.4 标准的兼容性，用于实现低功耗、短距离应用的无线通信。

##### 4.3.5.1 802.15.4 物理层

ESP32-S31 802.15.4 物理层支持以下特性：

- 2.4 GHz 频段 O-QPSK PHY
- 250 Kbps 数据率
- 支持 RSSI 和 LQI

##### 4.3.5.2 802.15.4 MAC

ESP32-S31 支持 [IEEE 标准 802.15.4-2015](#) 中定义的主要特性，包括：

- CSMA/CA
- 主动扫描和能量检测
- HW 帧过滤
- HW 自动应答

- HW 自动帧等待
- 协调采样侦听 (Coordinated sampled listening)

## 5 电气特性

### 说明:

本章节提供的电气特性数据**暂供参考**，在规格书终版发布时可能会更新。

### 5.1 绝对最大额定值

超出表 5-1 绝对最大额定值的绝对最大额定值可能导致器件永久性损坏。这只是强调的额定值，不涉及器件在这些或其它条件下超出章节 5.2 建议电源条件 技术规格指标的功能性操作。长时间暴露在绝对最大额定条件下可能会影响设备的可靠性。

表 5-1. 绝对最大额定值

参数	说明	最小值	最大值	单位
输入电源管脚 <sup>1</sup>	允许输入电压	-0.3	3.6	V
$I_{output}$ <sup>2</sup>	IO 输出总电流	—	1500	mA
$T_{STORE}$	存储温度	-40	150	°C

<sup>1</sup> 更多关于输入电源管脚的信息，见章节 2.5.1 电源管脚。

<sup>2</sup> 在 25 °C 的环境温度下连续 24 小时保持所有 IO 管脚拉高并接地，设备工作完全正常。

### 5.2 建议电源条件

推荐环境温度，请参考章节 1 ESP32-S31 系列型号信息。

表 5-2. 建议电源条件

参数 <sup>1</sup>	说明	最小值	典型值	最大值	单位
VDDA1、VDDA2、VDDA3、VDDA4	建议输入电压	3.0	3.3	3.6	V
VDDPST_1, VDDPST_2, VDDPST_3, VDDPST_4 <sup>2</sup>	建议输入电压	3.0	3.3	3.6	V
$I_{VDD}$	输入总电流	0.6	—	—	A

<sup>1</sup> 请结合章节 2.5 电源 阅读。

<sup>2</sup> 写 eFuse 时，由于烧录 eFuse 的电路较敏感，电压应不超过 3.3 V。

### 5.3 直流电气特性 (3.3 V, 25 °C)

表 5-3. 直流电气特性 (3.3 V, 25 °C)

参数	说明	最小值	典型值	最大值	单位
$C_{IN}$	管脚电容	—	2	—	pF
$V_{IH}$	高电平输入电压	$0.75 \times VDD$ <sup>1</sup>	—	$VDD$ <sup>1</sup> + 0.3	V
$V_{IL}$	低电平输入电压	-0.3	—	$0.25 \times VDD$ <sup>1</sup>	V
$I_{IH}$	高电平输入电流	—	—	50	nA

$I_{IL}$	低电平输入电流	—	—	50	nA
$V_{OH}^2$	高电平输出电压	$0.8 \times VDD^1$	—	—	V
$V_{OL}^2$	低电平输出电压	—	—	$0.1 \times VDD^1$	V
$I_{OH}$	高电平拉电流 ( $VDD^1 = 3.3\text{ V}$ , $V_{OH} \geq 2.64\text{ V}$ , PAD_DRIVER = 3)	—	40	—	mA
$I_{OL}$	低电平灌电流 ( $VDD^1 = 3.3\text{ V}$ , $V_{OL} = 0.495\text{ V}$ , PAD_DRIVER = 3)	—	28	—	mA
$R_{PU}$	内部弱上拉电阻	—	45	—	k $\Omega$
$R_{PD}$	内部弱下拉电阻	—	45	—	k $\Omega$
$V_{IH\_nRST}$	芯片复位释放电压 (CHIP_PU 应满足电压范围)	$0.75 \times VDD^1$	—	$VDD^1 + 0.3$	V
$V_{IL\_nRST}$	芯片复位电压 (CHIP_PU 应满足电压范围)	-0.3	—	$0.15 \times VDD^1$	V

<sup>1</sup> VDD - 各个电源域电源管脚的电压。

<sup>2</sup>  $V_{OH}$  和  $V_{OL}$  为负载是高阻条件下的测试值。

## 5.4 功耗特性

### 5.4.1 Active 模式下的功耗

下列功耗数据是基于 3.3 V 供电电源、25 °C 环境温度的条件下测得。

所有发射功耗数据均基于 100% 占空比测得。

所有接收功耗数据均是在外设关闭、CPU 空闲的条件下测得。

表 5-4. Active 模式下 Wi-Fi (2.4 GHz) 功耗特性

工作模式	射频模式	描述	峰值 (mA)
Active (射频工作)	发射 (TX)	802.11b, 1 Mbps, DSSS @ 20.5 dBm	348
		802.11g, 54 Mbps, OFDM @ 18 dBm	285
		802.11n, HT20, MCS7 @ 17 dBm	271
		802.11n, HT40, MCS7 @ 17 dBm	286
		802.11ax, MCS9, @ 14 dBm	249
	接收 (RX)	802.11b/g/n, HT20	110
		802.11n, HT40	117
		802.11ax, HE20	111

表 5-5. Active 模式下低功耗蓝牙功耗特性

工作模式	射频模式	描述	峰值 (mA)
Active (射频工作)	发射 (TX)	低功耗蓝牙 @ 20.5 dBm	347
		低功耗蓝牙 @ 11.5 dBm	219
		低功耗蓝牙 @ 0 dBm	142
		低功耗蓝牙 @ -15.5 dBm	117
	接收 (RX)	低功耗蓝牙	102

表 5-6. Active 模式下经典蓝牙功耗特性

工作模式	射频模式	描述	峰值 (mA)
Active (射频工作)	发射 (TX)	经典蓝牙 @ 12 dBm	220
		经典蓝牙 @ 6 dBm	179
		经典蓝牙 @ 0 dBm	143
		经典蓝牙 @ -15 dBm	116
	接收 (RX)	经典蓝牙	96

表 5-7. Active 模式下 802.15.4 功耗特性

工作模式	射频模式	描述	峰值 (mA)
Active (射频工作)	发射 (TX)	802.15.4 @ 20.5 dBm	342
		802.15.4 @ 12 dBm	220
		802.15.4 @ 0 dBm	151
		802.15.4 @ -15 dBm	115
	接收 (RX)	802.15.4	101

## 6 射频特性

本章提供产品的射频特性表。

射频数据是在天线端口处连接射频线后测试所得，包含了射频前端电路带来的损耗。射频前端电路为  $0\ \Omega$  电阻。

工作信道中心频率范围应符合国家或地区的规范标准。软件可以配置工作信道中心频率范围，具体请参考 [《ESP 射频测试指南》](#)。

除非特别说明，射频测试均是在 3.3 V ( $\pm 5\%$ ) 供电电源、25 °C 环境温度的条件下完成。

### 6.1 Wi-Fi 射频

表 6-1. 2.4 GHz Wi-Fi 射频规格

名称	描述
工作信道中心频率范围	2412 ~ 2484 MHz
无线标准	IEEE 802.11b/g/n/ax

#### 6.1.1 Wi-Fi 射频发射器 (TX) 特性

表 6-2. 2.4 GHz 频谱模板和 EVM 符合 802.11 标准时的发射功率

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11b, 1 Mbps, DSSS	—	20.5	—
802.11b, 11 Mbps, CCK	—	20.5	—
802.11g, 6 Mbps, OFDM	—	19.5	—
802.11g, 54 Mbps, OFDM	—	17.5	—
802.11n, HT20, MCS0	—	19.5	—
802.11n, HT20, MCS7	—	16.5	—
802.11n, HT40, MCS0	—	18.0	—
802.11n, HT40, MCS7	—	16.0	—
802.11ax, HE20, MCS0	—	19.5	—
802.11ax, HE20, MCS9	—	14.5	—

表 6-3. 2.4 GHz 发射 EVM 测试<sup>1</sup>

速率	最小值 (dB)	典型值 (dB)	标准限值 (dB)
802.11b, 1 Mbps, DSSS	—	-25.0	-10.0
802.11b, 11 Mbps, CCK	—	-25.0	-10.0
802.11g, 6 Mbps, OFDM	—	-24.0	-5.0
802.11g, 54 Mbps, OFDM	—	-31.0	-25.0

见下页

表 6-3 - 接上页

速率	最小值 (dB)	典型值 (dB)	标准限值 (dB)
802.11n, HT20, MCS0	—	-24.0	-5.0
802.11n, HT20, MCS7	—	-33.0	-27.0
802.11n, HT40, MCS0	—	-25.0	-5.0
802.11n, HT40, MCS7	—	-32.0	-27.0
802.11ax, HE20, MCS0	—	-25.0	-5.0
802.11ax, HE20, MCS9	—	-34.0	-32.0

<sup>1</sup> 发射 EVM 的每个测试项对应的发射功率为表 6-2 2.4 GHz 频谱模板和 EVM 符合 802.11 标准时的发射功率中提供的典型值。

### 6.1.2 Wi-Fi 射频接收器 (RX) 特性

802.11b 标准下的误包率 (PER) 不超过 8%，802.11g/n/ax 标准下不超过 10%。

表 6-4. 2.4 GHz 接收灵敏度

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11b, 1 Mbps, DSSS	—	-99.5	—
802.11b, 2 Mbps, DSSS	—	-96.5	—
802.11b, 5.5 Mbps, CCK	—	-93.5	—
802.11b, 11 Mbps, CCK	—	-89.5	—
802.11g, 6 Mbps, OFDM	—	-94.5	—
802.11g, 9 Mbps, OFDM	—	-92.5	—
802.11g, 12 Mbps, OFDM	—	-92.5	—
802.11g, 18 Mbps, OFDM	—	-89.5	—
802.11g, 24 Mbps, OFDM	—	-87.0	—
802.11g, 36 Mbps, OFDM	—	-83.0	—
802.11g, 48 Mbps, OFDM	—	-79.0	—
802.11g, 54 Mbps, OFDM	—	-77.5	—
802.11n, HT20, MCS0	—	-94.5	—
802.11n, HT20, MCS1	—	-92.0	—
802.11n, HT20, MCS2	—	-89.5	—
802.11n, HT20, MCS3	—	-86.0	—
802.11n, HT20, MCS4	—	-83.0	—
802.11n, HT20, MCS5	—	-78.5	—
802.11n, HT20, MCS6	—	-77.0	—
802.11n, HT20, MCS7	—	-75.0	—
802.11n, HT40, MCS0	—	-92.0	—
802.11n, HT40, MCS1	—	-89.5	—
802.11n, HT40, MCS2	—	-87.0	—
802.11n, HT40, MCS3	—	-83.5	—

见下页

表 6-4 - 接上页

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11n, HT40, MCS4	—	-80.5	—
802.11n, HT40, MCS5	—	-76.0	—
802.11n, HT40, MCS6	—	-74.5	—
802.11n, HT40, MCS7	—	-73.5	—
802.11ax, HE20, MCS0	—	-94.0	—
802.11ax, HE20, MCS1	—	-91.0	—
802.11ax, HE20, MCS2	—	-88.0	—
802.11ax, HE20, MCS3	—	-85.5	—
802.11ax, HE20, MCS4	—	-82.0	—
802.11ax, HE20, MCS5	—	-78.0	—
802.11ax, HE20, MCS6	—	-76.5	—
802.11ax, HE20, MCS7	—	-74.5	—
802.11ax, HE20, MCS8	—	-71.0	—
802.11ax, HE20, MCS9	—	-68.5	—

表 6-5. 2.4 GHz 最大接收电平

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11b, 1 Mbps, DSSS	—	5	—
802.11b, 11 Mbps, CCK	—	5	—
802.11g, 6 Mbps, OFDM	—	5	—
802.11g, 54 Mbps, OFDM	—	0	—
802.11n, HT20, MCS0	—	5	—
802.11n, HT20, MCS7	—	0	—
802.11n, HT40, MCS0	—	5	—
802.11n, HT40, MCS7	—	0	—
802.11ax, HE20, MCS0	—	5	—
802.11ax, HE20, MCS9	—	0	—

## 6.2 低功耗蓝牙射频

表 6-6. 低功耗蓝牙射频规格

名称	描述
工作信道中心频率范围	2402 ~ 2480 MHz
射频发射功率范围	-14.5 ~ 20.5 dBm

### 6.2.1 低功耗蓝牙射频发射器 (TX) 特性

表 6-7. 低功耗蓝牙 - 发射器特性 - 1 Mbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots, k}$	—	0.5	—	kHz
	Max. $ f_0 - f_n _{n=2, 3, 4, \dots, k}$	—	1.0	—	kHz
	Max. $ f_n - f_{n-5} _{n=6, 7, 8, \dots, k}$	—	1.0	—	kHz
	$ f_1 - f_0 $	—	1.4	—	kHz
调制特性	$\Delta F1_{avg}$	—	256.3	—	kHz
	Min. $\Delta F2_{max}$ (至少 99.9% 的 $\Delta F2_{max}$ )	—	252.6	—	kHz
	$\Delta F2_{avg}/\Delta F1_{avg}$	—	0.95	—	—
带内发射	$\pm 2$ MHz 偏移	—	-29	—	dBm
	$\pm 3$ MHz 偏移	—	-38	—	dBm
	$> \pm 3$ MHz 偏移	—	-44	—	dBm

表 6-8. 低功耗蓝牙 - 发射器特性 - 2 Mbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots, k}$	—	0.5	—	kHz
	Max. $ f_0 - f_n _{n=2, 3, 4, \dots, k}$	—	1.3	—	kHz
	Max. $ f_n - f_{n-5} _{n=6, 7, 8, \dots, k}$	—	0.9	—	kHz
	$ f_1 - f_0 $	—	0.5	—	kHz
调制特性	$\Delta F1_{avg}$	—	508.2	—	kHz
	Min. $\Delta F2_{max}$ (至少 99.9% 的 $\Delta F2_{max}$ )	—	516.9	—	kHz
	$\Delta F2_{avg}/\Delta F1_{avg}$	—	0.97	—	—
带内发射	$\pm 4$ MHz 偏移	—	-43	—	dBm
	$\pm 5$ MHz 偏移	—	-45	—	dBm
	$> \pm 5$ MHz 偏移	—	—	—	dBm

表 6-9. 低功耗蓝牙 - 发射器特性 - 125 Kbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots, k}$	—	1.3	—	kHz
	Max. $ f_0 - f_n _{n=1, 2, 3, \dots, k}$	—	0.5	—	kHz
	$ f_0 - f_3 $	—	0.1	—	kHz
	Max. $ f_n - f_{n-3} _{n=7, 8, 9, \dots, k}$	—	0.6	—	kHz
调制特性	$\Delta F1_{avg}$	—	255.7	—	kHz
	Min. $\Delta F1_{max}$ (至少 99.9% 的 $\Delta F1_{max}$ )	—	261.9	—	kHz
带内发射	$\pm 2$ MHz 偏移	—	-26	—	dBm
	$\pm 3$ MHz 偏移	—	-36	—	dBm
	$> \pm 3$ MHz 偏移	—	-40	—	dBm

表 6-10. 低功耗蓝牙 - 发射器特性 - 500 Kbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots, k}$	—	0.7	—	kHz
	Max. $ f_0 - f_n _{n=1, 2, 3, \dots, k}$	—	0.5	—	kHz
	$ f_0 - f_3 $	—	0.1	—	kHz
	Max. $ f_n - f_{n-3} _{n=7, 8, 9, \dots, k}$	—	0.6	—	kHz
调制特性	$\Delta F_{2_{avg}}$	—	245.7	—	kHz
	Min. $\Delta F_{2_{max}}$ (至少 99.9% 的 $\Delta F_{2_{max}}$ )	—	252.9	—	kHz
带内发射	$\pm 2$ MHz 偏移	—	-30	—	dBm
	$\pm 3$ MHz 偏移	—	-40	—	dBm
	$> \pm 3$ MHz 偏移	—	-45	—	dBm

## 6.2.2 低功耗蓝牙射频接收器 (RX) 特性

表 6-11. 低功耗蓝牙 - 接收器特性 - 1 Mbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-98.0	—	dBm
最大接收信号 @30.8% PER	—	—	8	—	dBm

表 6-12. 低功耗蓝牙 - 接收器特性 - 2 Mbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-94.5	—	dBm
最大接收信号 @30.8% PER	—	—	8	—	dBm

表 6-13. 低功耗蓝牙 - 接收器特性 - 125 Kbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-105.0	—	dBm
最大接收信号 @30.8% PER	—	—	8	—	dBm

表 6-14. 低功耗蓝牙 - 接收器特性 - 500 Kbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-101.0	—	dBm
最大接收信号 @30.8% PER	—	—	8	—	dBm

## 6.3 经典蓝牙射频

表 6-15. 经典蓝牙射频规格

名称	描述
工作信道中心频率范围	2402 ~ 2480 MHz
射频发射功率范围	-14.5 ~ 12.5 dBm

### 6.3.1 经典蓝牙射频发射器 (TX) 特性

表 6-16. 经典蓝牙 - 发射器特性 - 基本速率 (BR)

参数	描述	最小值	典型值	最大值	单位
20 dB 带宽	—	—	0.8	—	MHz
相邻信道发射功率	$F = FO \pm 2 \text{ MHz}$	—	-31.0	—	dBm
	$F = FO \pm 3 \text{ MHz}$	—	-44.0	—	dBm
	$F = FO \pm > 3 \text{ MHz}$	—	-48.0	—	dBm
调制特性	$\Delta F_{1\text{avg}}$	—	155.0	—	kHz
	Min. $\Delta F_{2\text{max}}$ (至少 99.9% 的 $\Delta F_{2\text{max}}$ )	—	160.0	—	kHz
	$\Delta F_{2\text{avg}}/\Delta F_{1\text{avg}}$	—	0.96	—	—
ICFT	—	—	1.0	—	kHz
漂移速率	—	—	0.5	—	kHz/ 50 $\mu\text{s}$
漂移 (DH1)	—	—	0.5	—	kHz
漂移 (DH5)	—	—	0.5	—	kHz

表 6-17. 经典蓝牙 - 发射器特性 - 增强数据速率 (EDR)

参数	描述	最小值	典型值	最大值	单位
$\pi/4$ DQPSK max $w_0$	—	—	-2.0	—	kHz
$\pi/4$ DQPSK max $w_i$	—	—	-15.0	—	kHz
$\pi/4$ DQPSK max $ w_i + w_0 $	—	—	-17.0	—	kHz
8DPSK max $w_0$	—	—	-4.0	—	kHz
8DPSK max $w_i$	—	—	-17.0	—	kHz
8DPSK max $ w_i + w_0 $	—	—	-21.0	—	kHz
$\pi/4$ DQPSK 调制精度	RMS DEVM	—	7.0	—	%
	99% DEVM	—	0.1	—	%
	Peak DEVM	—	11.0	—	%
8DPSK 调制精度	RMS DEVM	—	7.0	—	%
	99% DEVM	—	0.1	—	%
	Peak DEVM	—	12.0	—	%
带内发射	$F = FO \pm 1 \text{ MHz}$	—	-35	—	dBm
	$F = FO \pm 2 \text{ MHz}$	—	-25	—	dBm
	$F = FO \pm 3 \text{ MHz}$	—	-39	—	dBm
	$F = FO \pm > 3 \text{ MHz}$	—	-43	—	dBm

### 6.3.2 经典蓝牙射频接收器 (RX) 特性

表 6-18. 经典蓝牙 - 接收器特性 - 基本速率 (BR)

参数	描述	最小值	典型值	最大值	单位
有扰发射关闭条件下的灵敏度 @0.1% BER	—	—	-95.0	—	dBm
最大接收信号 @0.1% BER	—	—	8	—	dBm

表 6-19. 经典蓝牙 - 接收器特性 - 增强数据速率 (EDR)

参数	描述	最小值	典型值	最大值	单位
$\pi/4$ DQPSK					
有扰发射关闭条件下的灵敏度 @0.01% BER	—	—	-94.0	—	dBm
最大接收信号 @0.01% BER	—	—	8	—	dBm
8DPSK					
有扰发射关闭条件下的灵敏度 @0.01% BER	—	—	-87.0	—	dBm
最大接收信号 @0.01% BER	—	—	2	—	dBm

## 6.4 802.15.4 射频

表 6-20. 802.15.4 射频规格

名称	描述
工作信道中心频率范围	2405 ~ 2480 MHz

<sup>1</sup> Zigbee 在 2.4 GHz 的频段上具有从信道 11 到信道 26 共 16 个信道，信道间隔为 5 MHz。

### 6.4.1 802.15.4 射频发射器 (TX) 特性

表 6-21. 802.15.4 发射器特性 - 250 Kbps

参数	最小值	典型值	最大值	单位
射频发射功率	-14.5	—	20.5	dBm
EVM	—	24.0%	—	—

### 6.4.2 802.15.4 射频接收器 (RX) 特性

表 6-22. 802.15.4 接收器特性 - 250 Kbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @1% PER	—	—	-102.0	—	dBm

见下页

表 6-22 - 接上页

参数	描述	最小值	典型值	最大值	单位
最大接收信号 @1% PER	—	—	8	—	dBm

## 7 封装

- 俯视图中，芯片管脚从 Pin 1 位置开始按逆时针方向编号。关于管脚序号和名称的详细信息，请参考图 2-1 ESP32-S31 管脚布局（俯视图）。

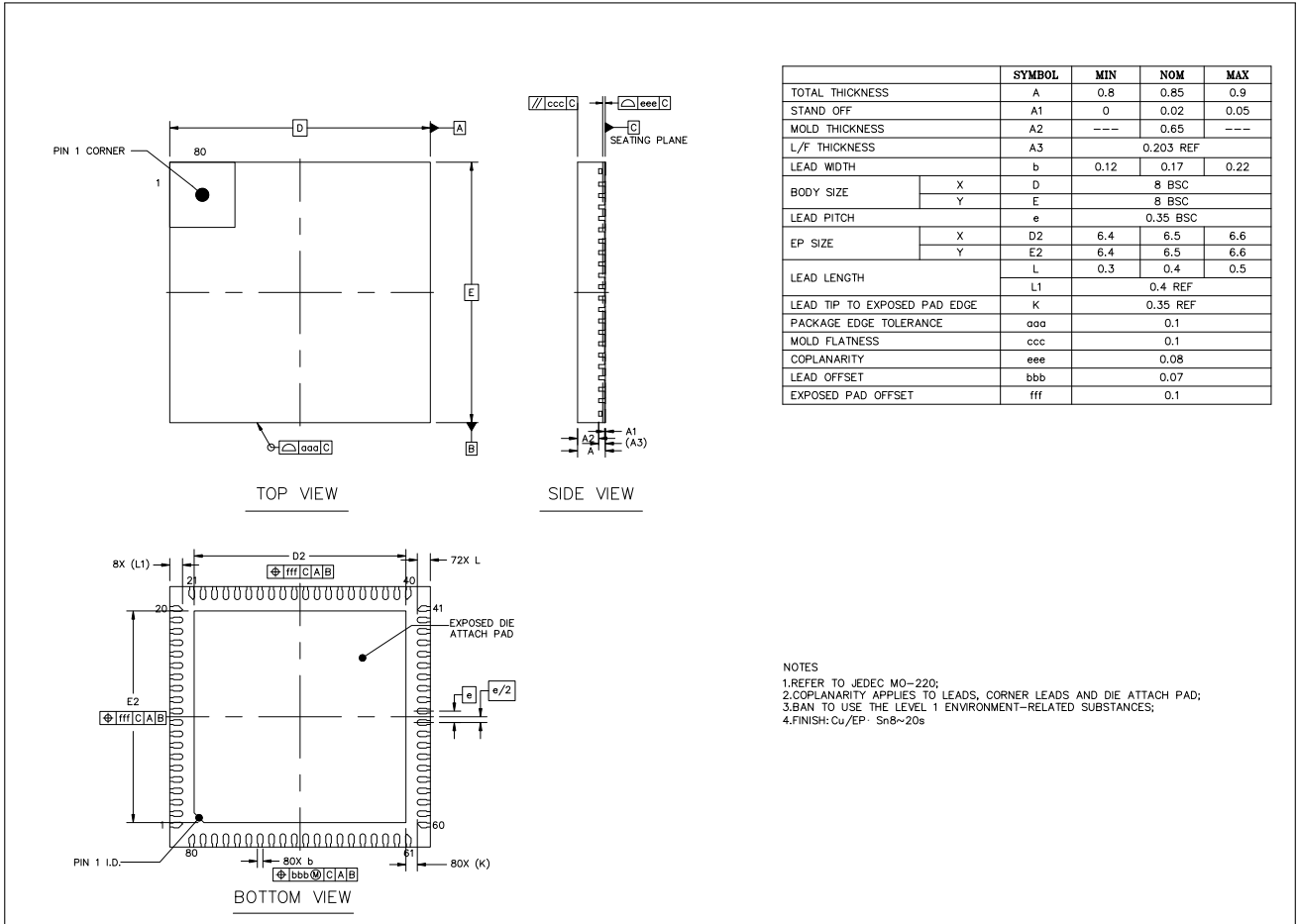


图 7-1. QFN80 (8 × 8 mm) 封装





## 词汇表

### strapping 管脚

芯片上电时用于某些配置的一种 GPIO 管脚，可在芯片复位后重新配置为普通 GPIO [34](#)

### eFuse 参数

存储在芯片内 eFuse 存储器中的参数。可以通过写 EFUSE\_PGM\_DATA $n$ \_REG 寄存器设置，通过读取与参数同名的寄存器字段获得具体值 [34](#)

### SPI boot 模式

从 SPI flash 中加载和执行现有代码的启动模式 [35](#)

### joint download boot 模式

通过 UART 或其他接口（见表 [3-3 芯片启动模式控制](#) > 注释）下载代码到 flash 中、并从 flash 或 SRAM 中加载和执行下载代码的启动模式 [35](#)

## 相关文档和资源

### 相关文档

- 证书  
<https://espressif.com/zh-hans/support/documents/certificates>
- 文档更新和订阅通知  
<https://espressif.com/zh-hans/support/download/documents>

### 开发者社区

- ESP-IDF 及 GitHub 上的其它开发框架  
<https://github.com/espressif>
- ESP32 论坛 – 工程师对工程师 (E2E) 的社区，您可以在这里提出问题、解决问题、分享知识、探索观点。  
<https://esp32.com/>
- ESP-FAQ – 由乐鑫官方推出的针对常见问题的总结。  
[https://espressif.com/projects/esp-faq/zh\\_CN/latest/index.html](https://espressif.com/projects/esp-faq/zh_CN/latest/index.html)
- *The ESP Journal* – 分享乐鑫工程师的最佳实践、技术文章和工作随笔。  
<https://blog.espressif.com/>
- SDK 和演示、App、工具、AT 等下载资源  
<https://espressif.com/zh-hans/support/download/sdks-demos>

### 产品

- ESP32-S31 系列芯片 – ESP32-S31 全系列芯片。  
<https://espressif.com/zh-hans/products/socs?id=ESP32-S31>
- ESP32-S31 系列模组 – ESP32-S31 全系列模组。  
<https://espressif.com/zh-hans/products/modules?id=ESP32-S31>
- ESP32-S31 系列开发板 – ESP32-S31 全系列开发板。  
<https://espressif.com/zh-hans/products/devkits?id=ESP32-S31>
- ESP Product Selector (乐鑫产品选型工具) – 通过筛选性能参数、进行产品对比快速定位您所需要的产品。  
<https://products.espressif.com/#/product-selector?language=zh>

### 联系我们

- 商务问题、技术支持、电路原理图 & PCB 设计审阅、购买样品 (线上商店)、成为供应商、意见与建议  
<https://espressif.com/zh-hans/contact-us/sales-questions>

## 修订历史

日期	版本	发布说明
2026-05-21	v0.2	<ul style="list-style-type: none"><li>• 移除 ESP32-S31 芯片的 Confidential 保密分级</li><li>• 3 启动配置项：新增 3.2 安全调试控制器 (SDC) 小节</li><li>• 4.2.2.9 CAN FD 控制器：由 TWAI 更新为 CAN FD 控制器说明</li><li>• 5.4.1 Active 模式下的功耗：添加 Active 模式功耗数据</li><li>• 7 封装：添加 QFN80 封装图</li></ul>
2026-04-03	v0.1	草稿



## 免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2026 乐鑫信息科技（上海）股份有限公司。保留所有权利。

[www.espressif.com](http://www.espressif.com)